

Reconfigurable Analog RF回路技術

東京工業大学精密工学研究所 益 一 哉

1. Masu Lab. Research Fields
2. GHz Signal Transmission on Si ULSI Chip
3. RF Reconfigurable Circuit Technology

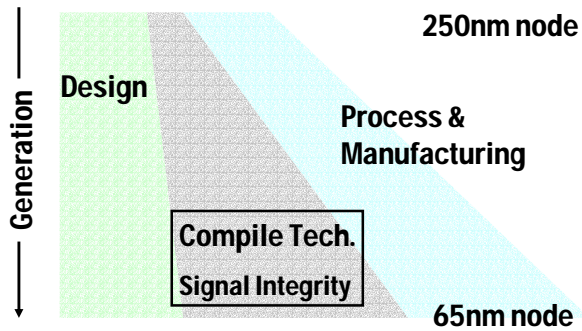
Tokyo Institute of Technology

At P&I Lab., Tokyo Tech (June, 2000 -)

- LSI多層配線におけるGHz信号伝送技術の研究
- 高周波無線回路技術の研究 (VCO/PLL、LNA、Mixer等の設計・試作・評価)
- Reconfigurable Analog RF回路技術の研究
- マイクロプロセッサ・信号処理LSIの統計論的性能評価・予測の研究
- ネットワークオンチップの研究 (デジタル回路設計技術)
- In vivo Wireless通信チップの開発
- AI-CVD技術の開発 (BEOL用装置開発)

Tokyo Institute of Technology

Compile Technology

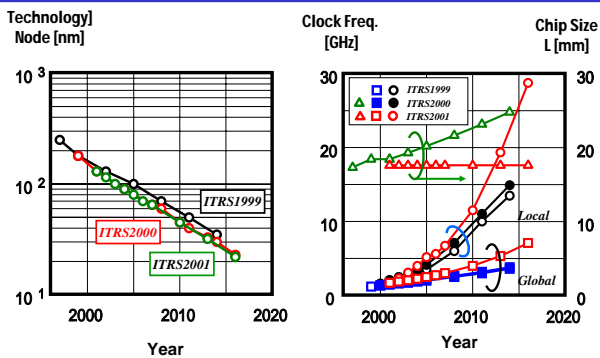


Tokyo Institute of Technology

1. Masu Lab. Research Fields
2. GHz Signal Transmission on Si ULSI Chip
3. RF Reconfigurable Circuit Technology

Tokyo Institute of Technology

ITRS 2001 Revision

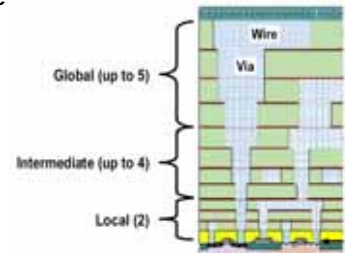
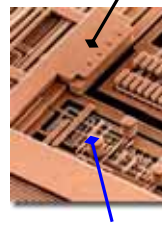


ITRS: International Technology Roadmap for Semiconductors

Tokyo Institute of Technology

Multilevel Interconnect

How to design the global Interconnect (over GHz, Over cm)
→ Transmission line



Wire length is distributed from μm to cm
Interconnect Length Distribution

→ Evaluation and prediction of LSI performance

Tokyo Institute of Technology

Package and Jisso

Above IC Process
Above-IC Component and Interconnect

Figure 2: This film interconnect pattern on chip, used for the "redistribution" up the peripheral I/O contact pads into an area array configuration. Left: schematic cross section, Right: photograph detail redistributed Cu test die.

Figures: E. Beyne, IEEE 2003 ITC, Paper 12.1

Critical Frequency

Critical Frequency (f_c) :

$$L = \frac{1}{40} \times \lambda = \frac{1}{40} \times \frac{1}{f} \times \frac{c_0}{\sqrt{\epsilon_r}}$$

Blue area: Transmission Line mode
Gray area: Lumped RC area

For over 1GHz signal propagation through 1cm inter-connect line, the transmission line is required.

Interconnect length less than 100μm can be treated as the conventional lumped RC circuit at over several tens GHz.

Critical Frequency

Critical Frequency (f_c) :

$$L = \frac{1}{40} \times \lambda = \frac{1}{40} \times \frac{1}{f} \times \frac{c_0}{\sqrt{\epsilon_r}}$$

Critical Frequency (f_c) :

$$L_{EM} = \frac{1}{4} \times \lambda = \frac{1}{4} \times \frac{1}{f} \times \frac{c_0}{\sqrt{\epsilon_r}}$$

電磁波放射

伝送線路

Transmission Line Structures

Differential Transmission Line Structures on Si ULSI

We propose a diagonal structure on ULSI to reduce crosstalk noise.

- AMS 0.35μm CMOS process parameters are used for interconnect.
- The 2D electromagnetic simulator (Ansoft 2D Extractor) is used.

Required characteristics

Low-loss $Z_{diff} = 100 \Omega$ High interconnect-density
High crosstalk-robustness

低クロストーク・伝送線路配線!

同相ノイズ: 回路的に回避
差動ノイズ: 構造で回避

-14% (Co-planar Line vs Diagonal-pair Line)

-56% (Co-planar Line vs Thick ILD)

-73% (Co-planar Line vs 5.0 μm Cu/Low-k)

-62% (Diagonal-pair Line vs 5.0 μm Cu/Low-k)

vs. Co-planar Line of Cu/Low-k

- Designed to be cross talk coef. < 0.05.
- In the diagonal Line, line pitch can be reduced with cross talk endurance.

3. 配線構造の検討

Diagonal-pair Line 電磁界解析(Ansoft社, 2D Extractor)の結果

$Z_{diff} = 100 \Omega$

配線幅 $W = 4 \mu m$:
50 GHzでの信号減衰量が最小

Attenuation [dB/cm]

Line Width [μm]

Frequency [GHz]

5. 測定系

測定結果には PADの寄生成分が含まれる。

Tokyo Institute of Technology

6. 測定結果: 2Gbps

アイ高さ: -3.5 dB/3mm -12 dB/cm程度
アイ幅: 変化小さい

第19高調波まで

Tokyo Institute of Technology

7. 測定結果: 12Gbps

(オシロスコブの帯域の影響を受けている。) アイ高さ: 大きく減衰 アイは閉じてきている。アイ幅: 変化が小さい

第3高調波まで

Tokyo Institute of Technology

駆動回路・伝送線路・受動回路

Tokyo Institute of Technology

駆動回路・受端回路の設計

AMS 0.35 μ m CMOSで設計

駆動回路

仕様

- 電源電圧 V_{DD} : 3.3 V
- 差動利得: ~ 1 (50 Ω 負荷)
- 差動入力振幅 V_{in} : 0.3 V
- 差動出力振幅 V_{out} : 0.3 V
- 出力インピーダンス: 50 Ω
- 入力電圧: 1.95 ± 0.15 V
- 出力電圧: 3.00 ± 0.15 V

50 Ω 負荷

V_{DD} 50 Ω 50 Ω V_{in} V_{out}

50 Ω

差動MOS対
W/L=380/0.3 [μ m]
(19 μ m \times 20)

電流源MOS
W/L=145/0.5 [μ m]
(14.5 μ m \times 10)

I_{bias} =12 mA

受端回路

仕様

- 電源電圧 V_{DD} : 3.3 V
- 差動利得: 1.7
- 差動入力振幅 V_{in} : 0.21 V
- 差動出力振幅 V_{out} : 0.37 V
- 入力電圧: 3.00 ± 0.11 V
- 出力電圧: 3.00 ± 0.18 V

300 Ω 300 Ω V_{DD} V_{in} V_{out}

300 Ω

差動MOS対
W/L=60/0.3 [μ m]
(5 μ m \times 12)

電流源MOS
W/L=24/0.5 [μ m]
(6 μ m \times 4)

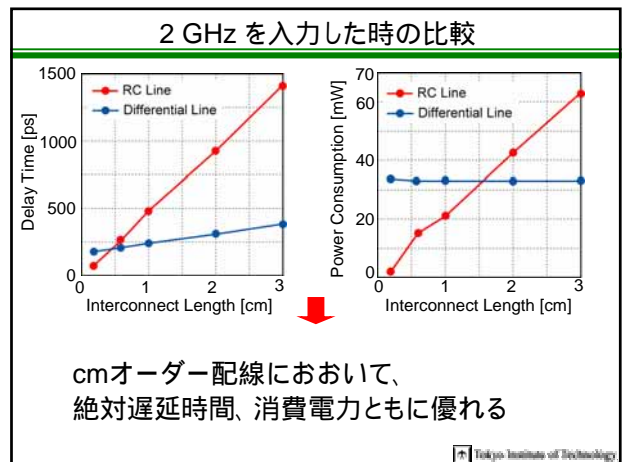
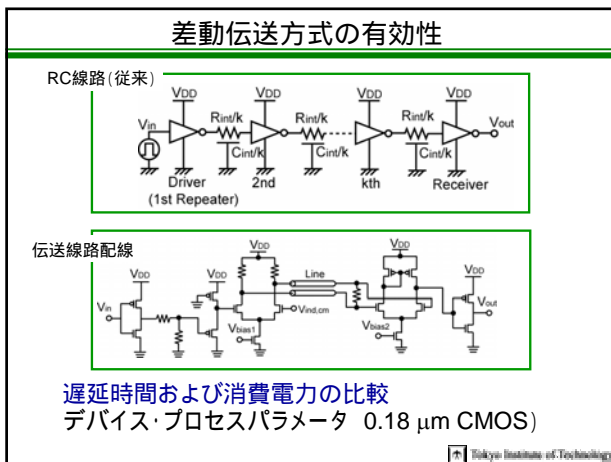
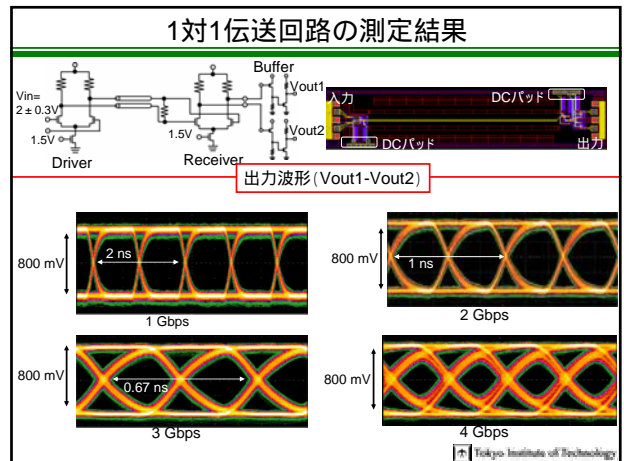
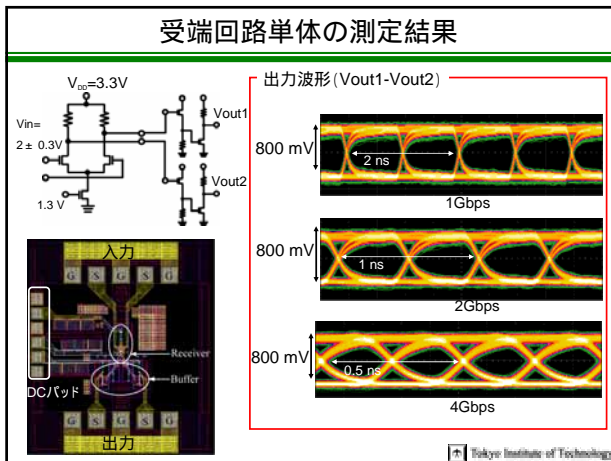
I_{bias} =2 mA

Tokyo Institute of Technology

駆動回路単体の測定結果

駆動回路単体で4Gbpsでの動作が実測により確認できた。

Tokyo Institute of Technology



1. Masu Lab. Research Fields
 2. GHz Signal Transmission on Si ULSI Chip
 3. RF Reconfigurable Circuit Technology
- Tokyo Institute of Technology

研究背景

RF回路設計

無線通信システムの広帯域化
WLAN, WCDMA, GPS, PHS, GSM, IMT-2000への対応
2.4GHz (IEEE802.11b) / 5GHz (IEEE802.11a)

無線送受信回路のワンチップ化
無線回路をSi基板上で設計する必要

素子モデリングの困難さ } 意図した通りの
製造ばらつき } 性能が得られない
設計生産性 }
↓
アプリケーションの多様化

Tokyo Institute of Technology

動的再構成によるRF回路アーキテクチャ

アナログ回路部分をデジタル回路により制御

アナログ回路

動作時に各バイアス電圧を動的に制御

- トランジスタのバイアス
- 受動素子等

マルチバンドRF

500MHz-40GHz発振VCO

Dynamic Reconfigurable

素人でもRF回路設計を

- 動的な消費電力削減
- 80%削減
- 製造後のばらつき補償

Tokyo Institute of Technology

バイアス制御による再構成

バイアス電圧

LC-VCO

LNA

動的再構成(Dynamic Reconfigurable)

バイアス電圧
クロック周期
→ 可変インダクタ
バラクタ

Tokyo Institute of Technology

リCONFIGURABLE無線回路

究極の無線回路

携帯電話

放送局

衛星

携帯電話

通話

DTV

FM

GPS

WLAN

Bluetooth

UWB

RFID

PC

デジタル家電

POS

多数のRF回路が1端末に集積

↓

低面積化・低消費電力化
ワンチップ化

Reconfigurable RF Transceiver

Tokyo Institute of Technology

動的再構成による広帯域化

ダイレクト・コンバージョン方式

500MHz ~ 40GHz

一番難しそうなのは？

Tokyo Institute of Technology

リCONFIGURABLEなPLL

- それぞれを可変につくる
- それでもだめなら切り替える

Reconfigurable PLL

Tokyo Institute of Technology

VCO 広帯域化手法

LC共振を用いたLC-VCO

- Lind : on-chip spiral inductor
- Cvar : varactor
pn-diode, MOS-varactor
- M1-M2 : negative conductance

Variable Inductor

$$\text{発振周波数 } f = \frac{1}{2\pi\sqrt{L_{\text{tank}} C_{\text{tank}}}}$$

Tokyo Institute of Technology

提案可変インダクタ

今回提案する可変インダクタ

スパイラルインダクタの上方に導体板を挿入していく。

導体板の動作機構は串歯アクチュエーターを想定した

Tokyo Institute of Technology

MEMSアクチュエータ

Comb actuator

stationary electrode
movable electrode

W. C. Tang, M. G. Lim, and R. T. Howe, "Electrostatic comb-drive inductor and control method," J. Microelectromechanical Systems, vol. 1, no. 4, pp. 170-178, Dec. 1992.

Parallel-Plate actuator

Stationary Electrode
movable electrode
stationary electrode

V. M. Lubcke, and J.-C. Chiao, "MEMS technologies for enabling high frequency communications circuit. The IEEE 4th Conf. on Telecommunications in Modern Satellite, Cable and Broadcasting Services, pp. 1-8, Oct. 1999.

Tokyo Institute of Technology

可変インダクタの原理

[導体板挿入前] → [導体板挿入後]

Conductor Plate
Spiral Inductor
Magnetic Flux

Simulated by HFSS (Ansoft)

導体板によりインダクタ鎖交磁束を遮断する

インダクタンス減少 → 導体板の位置によりインダクタンスを制御

Tokyo Institute of Technology

可変インダクタの測定結果

Conductor plate
h=10 μm
M3 0.925 μm
M2 0.64 μm
20 μm
4 μm
450 μm

導体板の高さ10 μmにおける変化

	導体板挿入前	導体板挿入後
実測値	5.88 nH	3.73 nH (35.1%減少)
シミュレーション値	5.05 nH	1.63 nH (72.6%減少)

Tokyo Institute of Technology

測定方法

GSGSG probe
導体板(Cu)

測定系

- 2port 20GHz VNA(Agilent 8720ES)
- GSGSG ACP(cascade)を使用

Short および Openパターンにより De-embedding
Y-ParameterからLとQを抽出

Tokyo Institute of Technology

寄生容量の影響

導体板とスパイラル間に寄生容量が生じる

インダクタンスの劣化?

$$f_{SR} = \frac{1}{2\pi\sqrt{LC}}$$

導体板挿入 f_{SR} 増加

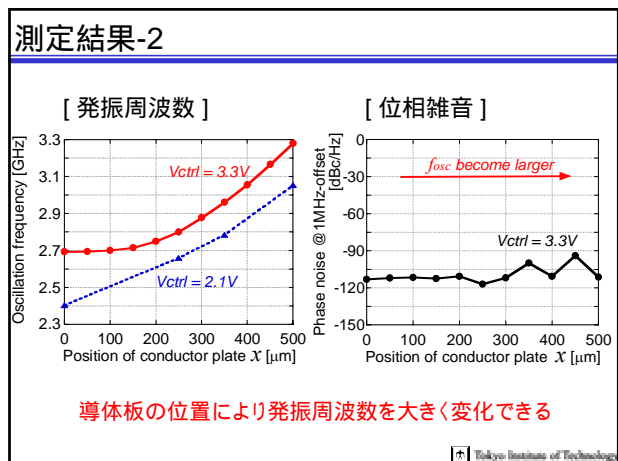
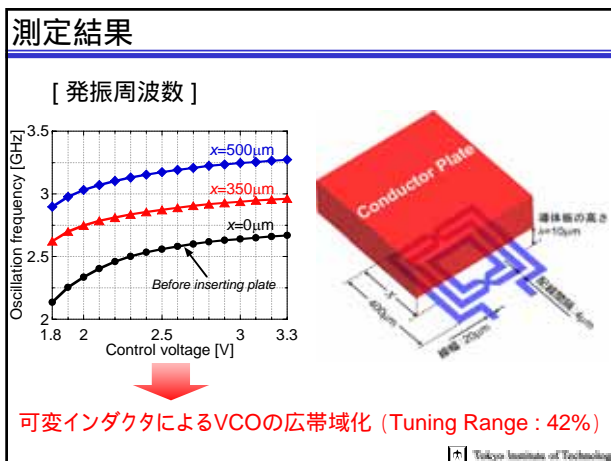
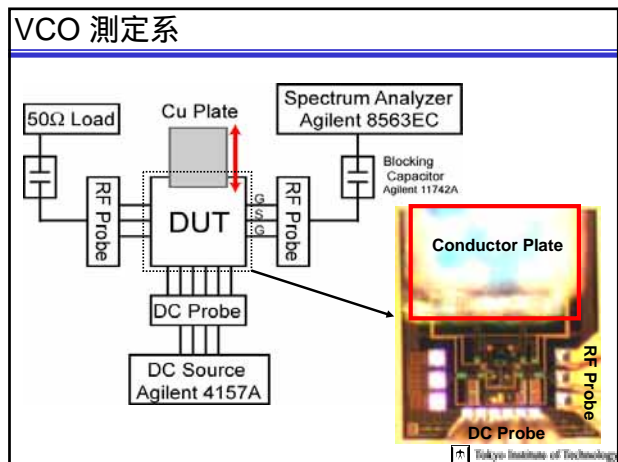
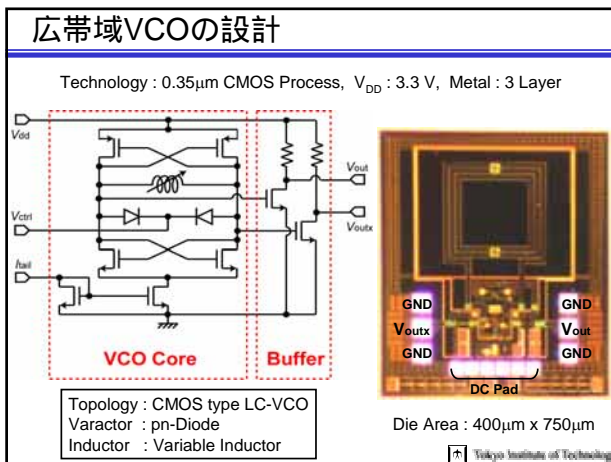
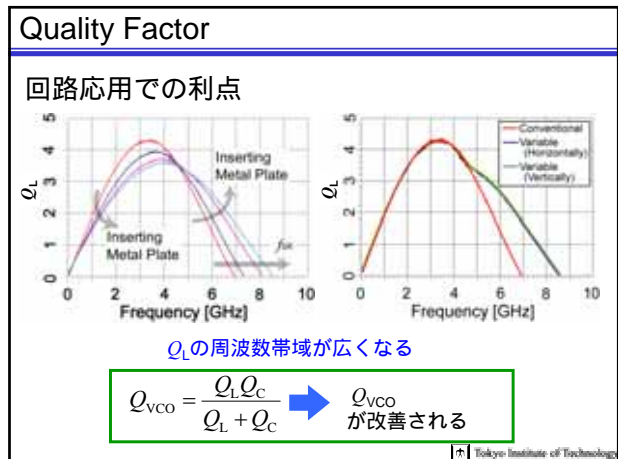
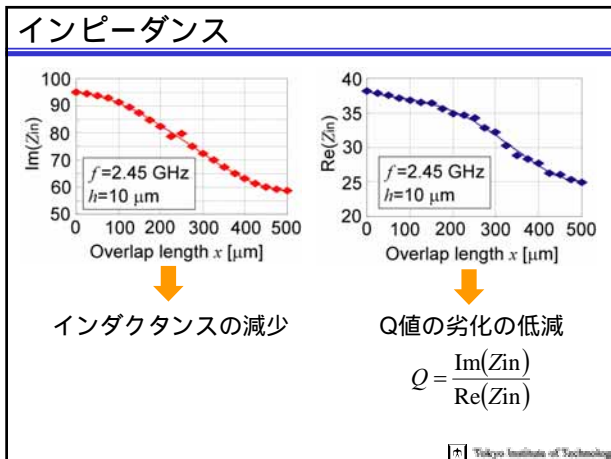
寄生容量Cの影響は小さい

インダクタンスの変化は磁束遮断によるもの

自己共振周波数 f_{SR}

Overlap length x [μm]

Tokyo Institute of Technology



まとめ

可変インダクタを用いた広帯域VCOを設計・評価した

Summary of Measurement

Technology	0.35 μ m CMOS
DC Voltage (V_{DD})	3.3V
Power Consumption	25.9 ~ 27.7mW
Center Frequency	2.71GHz
Tuning Range	2.13GHz ~ 3.28GHz 42.5%
Phase Noise @1MHz offset	-113.1 dBc/Hz (@2.67GHz) -111.3 dBc/Hz (@3.28GHz)

 Tsukuba Institute of Technology