

DSP技術について

2001年10月1日

荒木研究室
雁部 洋久

説明の内容

1. 通信からみたVLSI時代のはじまり
なぜCMOSが中心になったか -- PCM CODECを通してみる
2. DSPとはどういうものか
特徴/応用システム -- 商用時にはどんなことに苦勞するか
3. DSPのはじまりと今後の展開
開発に携わったDSP -- プロセッサからプラットフォームへ
4. 携帯機とDSP
携帯機時代を迎えたDSPの変化 -- 低消費電力対応等
5. 現在のDSPの状況と今後の展開
次世代携帯機におけるソリューション -- 何が必要か

CMOSのメリットデメリット

CMOSのメリット

- ・ 低消費電力
- ・ 信号の記憶が容易
- ・ スイッチ回路が使える

CMOSのデメリット

- ・ 動作速度が遅い
- ・ アナログ回路が作りにくい
- ・ (NMOSに比べて)回路規模が大きくなる。

CMOS適用の狙いと通信分野での立ち上がり

CMOSテクノロジーでの期待

- ・ 最高処理速度を期待 メインフレーム、サーバ
- ・ 低消費電力は望ましいが、まず速度パフォーマンス
- ・ 速度・集積度・消費電力・実現回路の総合的メリット
通信、家電
- ・ 総合的高機能化(最重要ポイントはケースバイケース)

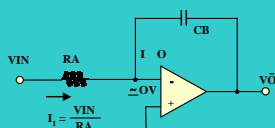
通信の領域から見ると

スイッチ機能とキャパシタによる情報保存機能でアナログ信号処理も含めてうまみが出る。

スイッチドキャパシタなど

スイッチドキャパシタ回路

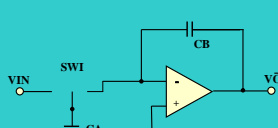
RCアクティブフィルタ



$$V_O = \frac{1}{sCB} \cdot \frac{V_{IN}}{R_A}$$

$$V_O = \frac{1}{sCB \cdot R_A} \cdot V_{IN}$$

スイッチド・キャパシタ・フィルタ

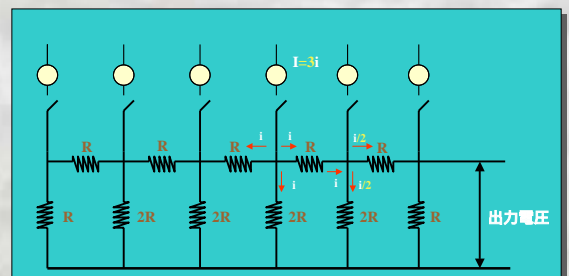


$$V_O = \frac{1}{sCB} \cdot f \cdot (C_A \cdot V_{IN})$$

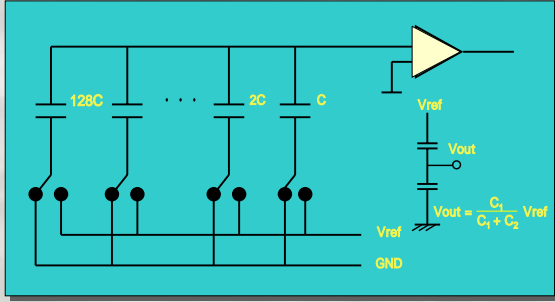
$$V_O = \frac{1}{s} \cdot \left(\frac{C_A}{CB}\right) \cdot f \cdot V_{IN}$$

$$R_A = \frac{1}{C_A \cdot f}$$

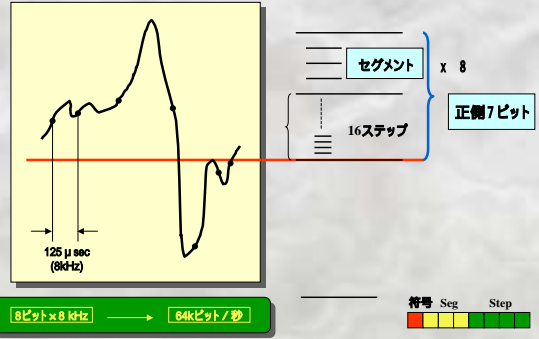
ラダー抵抗網によるD/A変換器の基本構成



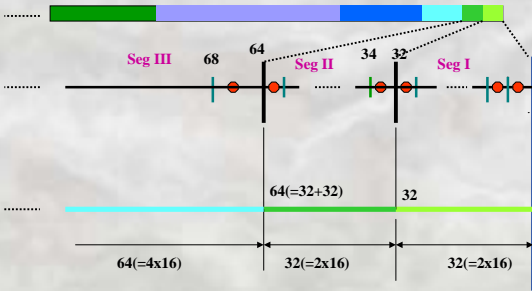
CMOSによるD/A変換器の例



音声のサンプリングとPCM化

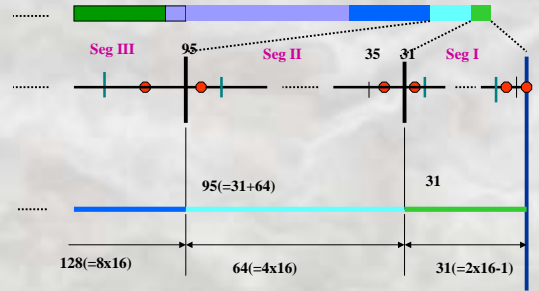


A-lawの量子化規定



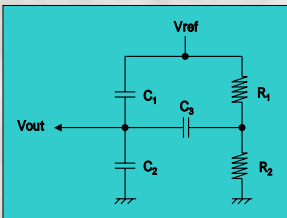
各セグメントごとに2倍の関係にできる!

μ-lawの量子化規定



これは最小セグメントの'半欠'が災いしてうまくいかない。

キャパシタアレイによる電圧分割の原理

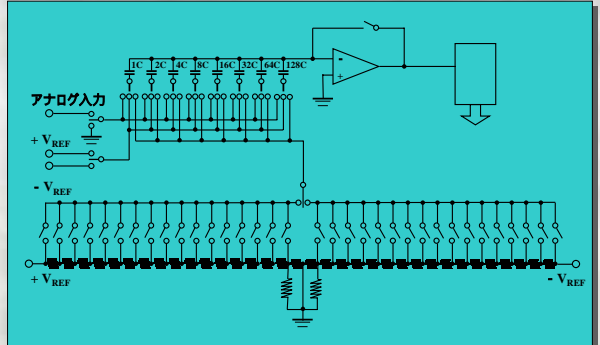


$$\begin{aligned}
 q_1 &= (V_{out} - V_{ref}) C_1 \\
 q_2 &= V_{out} C_2 \\
 q_3 &= C_3 (V_{out} - \frac{R_2}{R} V_{ref}) \\
 q_1 + q_2 + q_3 &= 0
 \end{aligned}$$

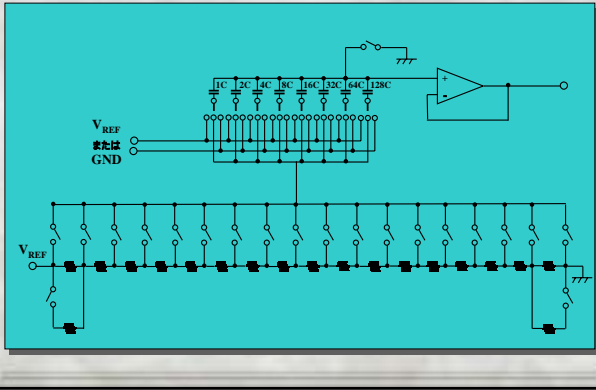
ただし $R = R_1 + R_2, C = C_1 + C_2 + C_3$

$$V_{out} = \left(\frac{C_1 + \frac{R_2}{R} C_3}{C} \right) V_{ref}$$

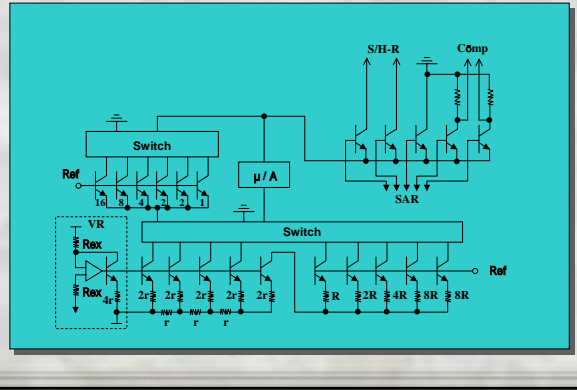
CMOSによるμ則PCM CODECの例 - 1



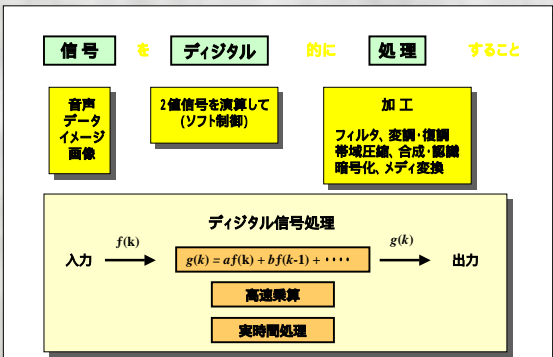
CMOSによるμ則PCM CODECの例 - 2



バイポーラによるPCM CODECの例



デジタル信号処理とは

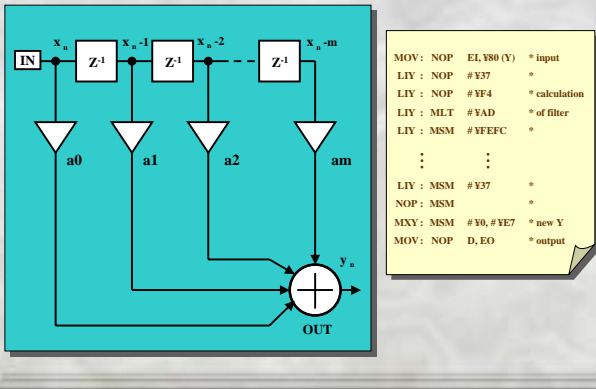


DSPの処理方式の分類

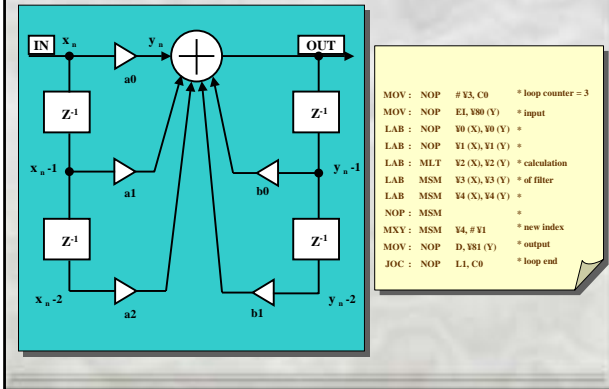
- ◆ 一定の周期 (サンプリング周期) 単位に同一の処理を繰り返す。
フィルタ、FFT、EC、ADPCM等
- ◆ 短い周期と長い周期 (フレーム処理など) の二重の周期の処理を繰り返す。
CELP系音声CODEC、移動ベースバンド等
- ◆ 出来るだけ高速に処理する。 JPEG等

これらの処理は、(通常どうしてもそうなりがちな) DSPの最大性能に近いレベルでの使用では、それぞれ異なる難しさをもつ。

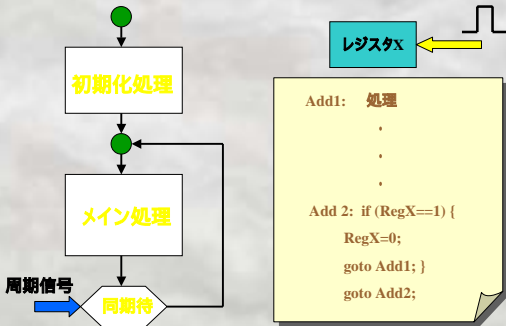
フィルタの例1 (FIRフィルタ)



フィルタの例2 (IIRフィルタ)



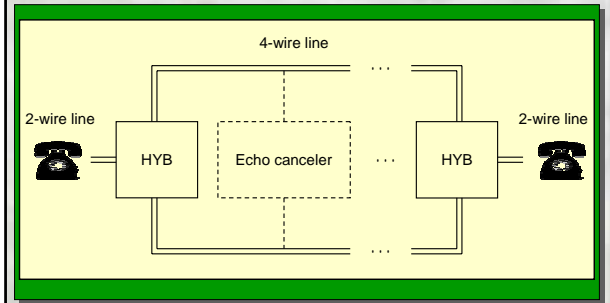
周期処理への対応



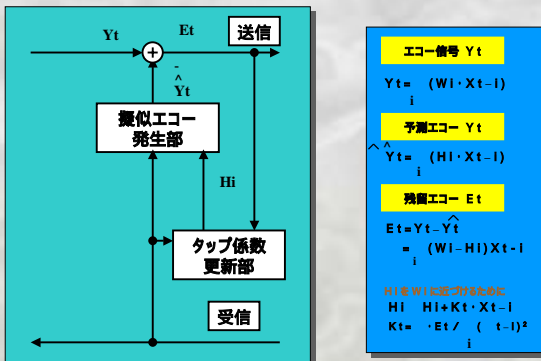
```

Add1: 処理
      .
      .
      .
Add 2: if (RegX==1) {
        RegX=0;
        goto Add1; }
        goto Add2;
    
```

エコーキャンセラ



エコーキャンセラの基本ブロック構成



エコー信号 Y_t
 $Y_t = \sum_i (W_i \cdot X_{t-1})$

予測エコー \hat{Y}_t
 $\hat{Y}_t = \sum_i (H_i \cdot X_{t-1})$

残留エコー E_t
 $E_t = Y_t - \hat{Y}_t = \sum_i (W_i - H_i) X_{t-1}$

H_i と W_i は適応的である
 $H_i = H_i + K_t \cdot X_{t-1}$
 $K_t = -E_t / \sum_i (t-1)^2$

簡便な信号パワ検出処理

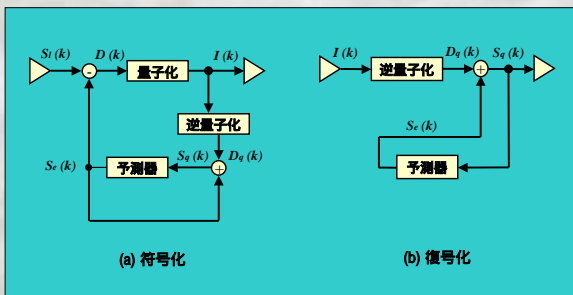
よくある計算(簡便な信号パワのエステイメイト): 時刻tの信号パワP(t):

$$P(t) = \sum_{i=t-k+1}^t \{ (X_{t-i})^{*2} \}$$

```

i=0; p=0;
Add1: p1=X[i] ; p2=X[i]
      p=p+p1*p2
      i=i+1
      if(i<k) goto Add1
    
```

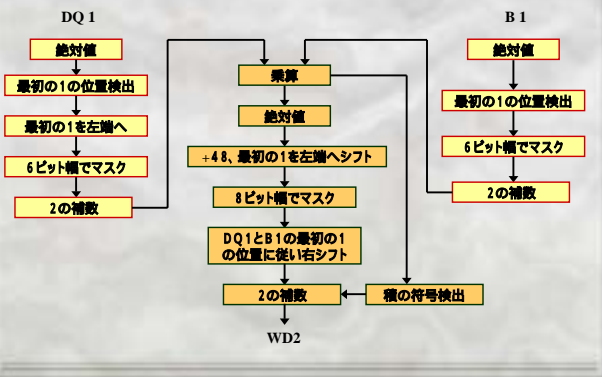
32 kbps ADPCM(G.721)



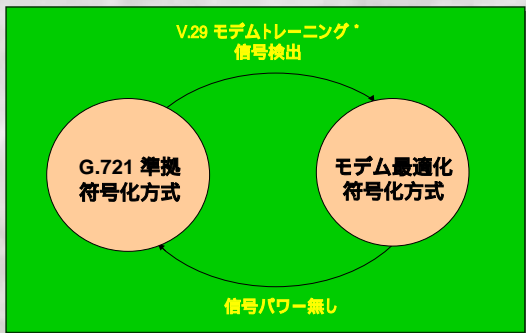
ITU 32kADPCMの問題点

- 多種類のビット長の演算が規定されている。
- ビットエグザクトな処理必須
- 送受ミスマッチからの終息性が悪い。
- 9600kbpsファクスマデム信号(V29)が伝送できない。

FMULT部のビットエグザクトな演算処理

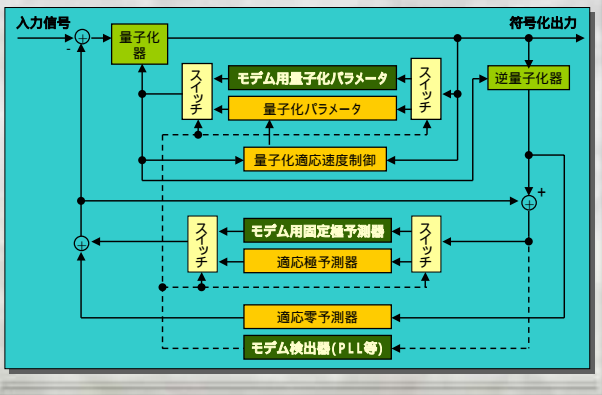


FAX切り替え方式の例



* 500Hz, 1700Hz, 2900Hz の複合正強波

モデム対応CODECの例



モデム切り替え方式の問題点

- 標準化されたアルゴリズムでないのでプロプライエタリな方式になる。
- トレーニング信号の種類が多い
- 符号器側と複合器側でモデム通信モードに切り替えるタイミングが狂うと終息しない。

初期のDSPでどんな工夫をしたか

- 1クロックサイクル1処理を実現
 - ハードアーキテクチャ採用
- 単純積和演算とランダム処理が混在しても効率よいプログラムができる。
 - 命令・転送の複合命令化
 - 2面構成のデータメモリ
- サンプリング処理系のリアルタイム処理を目指す
 - 循環アドレス方式、インクリメントレジスタ
 - 外部入力に対するフラグ処理

DSPの基本演算部構成

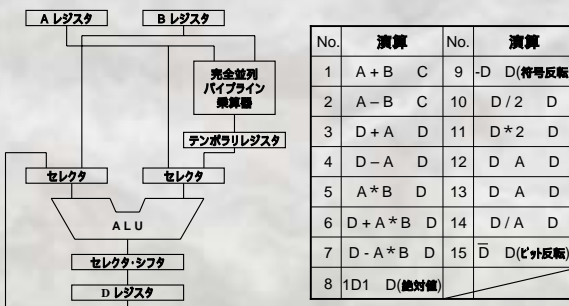
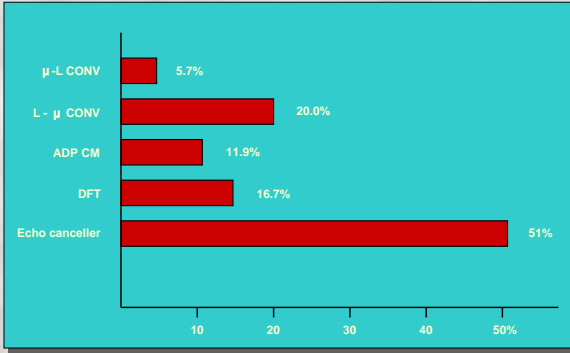


図1 演算回路

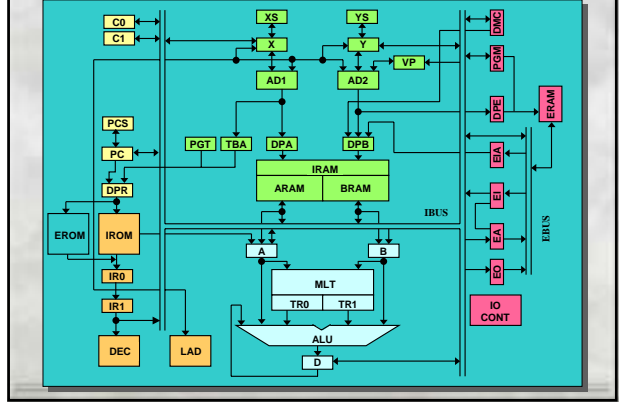
図2 実行可能な命令

No.	演算	No.	演算
1	A + B	9	-D D(符号反転)
2	A - B	10	D / 2
3	D + A	11	D * 2
4	D - A	12	D A D
5	A * B	13	D A D
6	D + A * B	14	D / A
7	D - A * B	15	D̄ D(ビット反転)
8	1D1 D(絶対値)		

演算・転送系の複合命令の比率



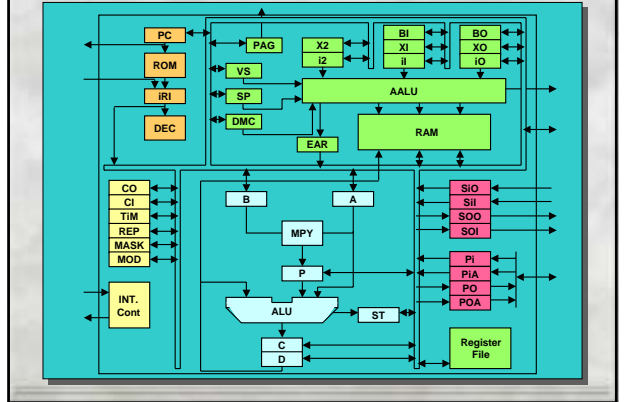
MB8764(FDSP-3)のブロック図



その次課題になったこと

- 演算精度に苦しまない演算長の確保
 - 浮動小数点の採用
- よりコンパクトなプログラム
 - 命令強化: 3重転送、条件付転送
 - レジスタファイルの内蔵(コンパイラも指向)
- 専用DSPを作る仕組み
 - 命令セットのサブセット化
 - データ語長最適化
 - 採用ブロックの選択(局部デコーダ方式)

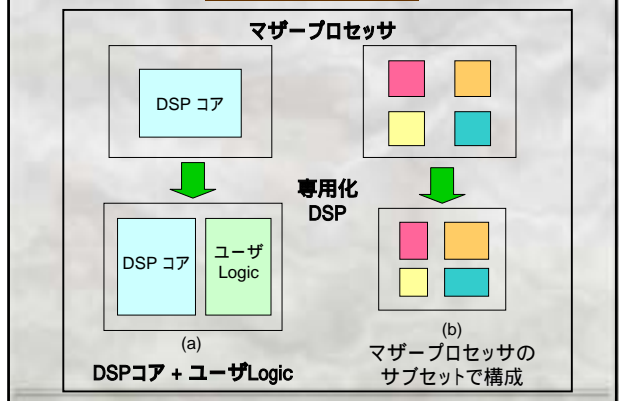
MB86232(FDSP-4)のブロック図



DSPコアとDSP ASIC

マシンサイクル	100 ns	
内蔵 RAM	256 W × 24 B	
内蔵 ROM	4 KW × 32 B	
演算精度	乗算	(16E8) × (16E8) (16E8) (16B) × (16B) (32B)
	加減算	(16E8) ± (16E8) (16E8) (16B) ± (16B) (16B)
パッケージ	PGA 88 ピン	
テクノロジー	1.2 μm CMOS	
チップサイズ	12.8 mm 角	

DSPコアとDSP ASIC

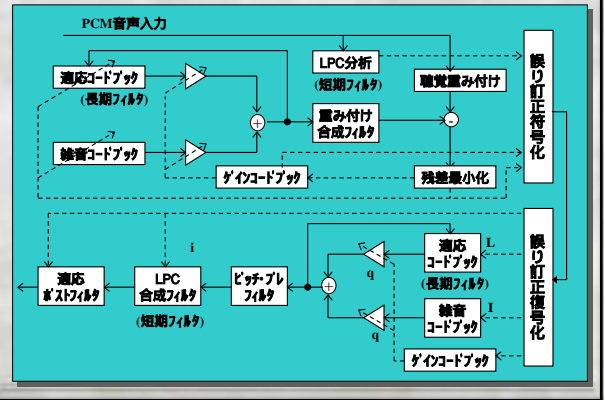


携帯時代の新たな改善

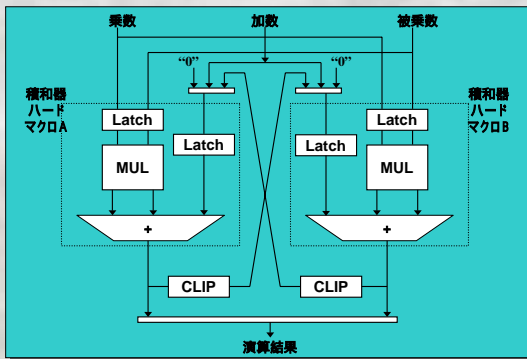
低電力化が絶対的な条件

- 小型・低コスト化も志向した低消費電力化
 - 機能のコンパクト化(命令コード短縮)
 - 携帯機特有の命令の追加
- 回路設計上の工夫
 - 複数種類の素子ライブラリの適用
 - 不必要なデータ転送の禁止
 - パスファイトの削減
- 低消費電力動作構成の導入
 - スタンバイ時に一部回路を止める機能の付加
 - リーク電流の低減(MT - CMOS化)

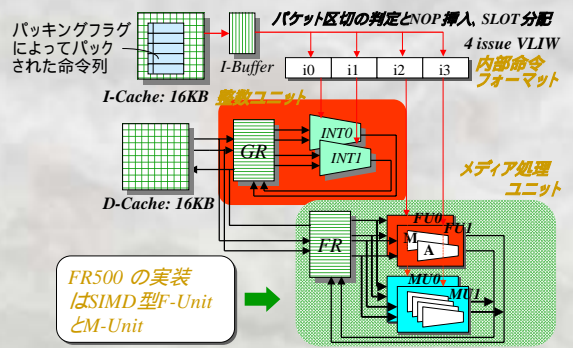
VCELPの符号化構成



Dual MAC演算部の構成



FR500の基本構成



端末求められる機能特性とSDRの必要性

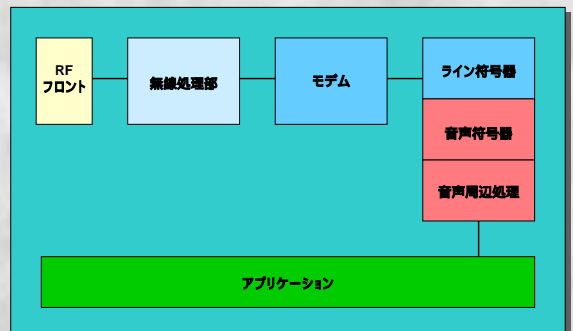
- ・ 世界中どこにいても同じ端末が使用できる。
- ・ 自動的に最適な通信設定し、かつ電波資源を有効
- ・ 利用者が事業者やネットワークを意識せずに自分の端末で好みのサービスを設定・変更ができる。



- ・ マルチモード、マルチバンド対応
- ・ 通信環境に応じた適応的伝送方式切り替え
- ・ 無線ダウンロードによるアップグレード

処理の規模的実現性・成長性を考えるとSDRが必要。

携帯機のデジタル化対象領域



信号処理を展開していくための課題

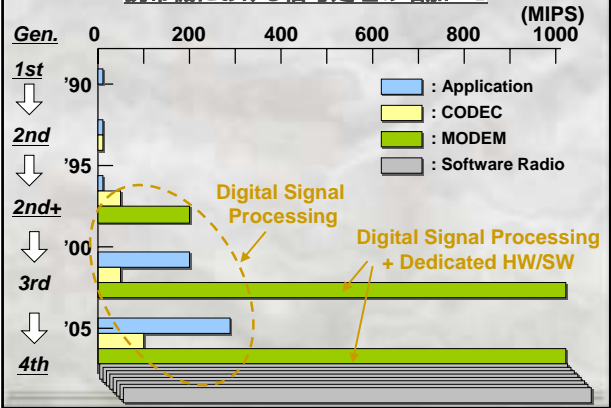
フレーム処理型でのタイムチャート維持

ハードウェアアクセラレータの工夫とDSPでの制御
データタイミングとの整合：タイムチャートをどう維持するか
フレーム単位処理とリアルタイム性維持のワーストケース

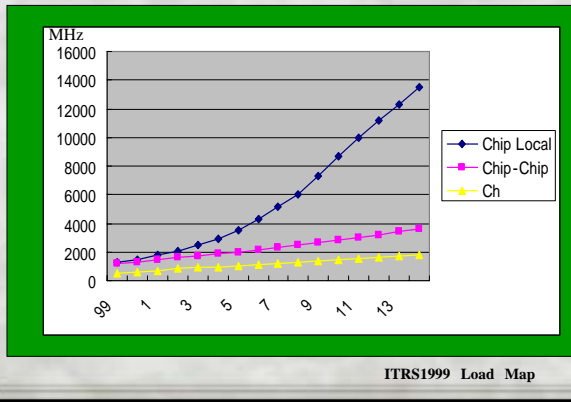
信号処理アーキテクチャの展開

無線通信機能に最適なプロセッシングアーキテクチャの導入
メモリの統合・サイズを縮退できる処理アルゴリズムの導入
処理の時間短縮化を図る全体ハードウェアアーキテクチャ

携帯機における信号処理の増加-2



CMOS Clock Frequency



大規模LSIの可能性と移動端末の実現

大規模・高速化のスケールアップは当分期待できるが...

移動端末に要求される機能はデバイスの基本テクノロジーノスケールアップよりはるかに大きいスピードで増加する。

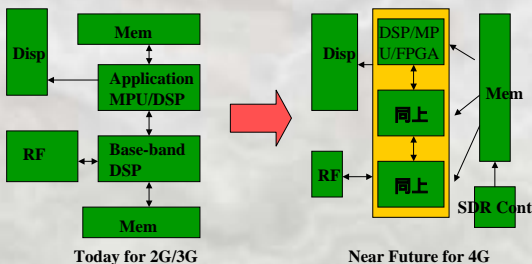
また、ワイアリング遅延・電力の増大・パッド数の制限などにより、回路能力は上がってもシステムパフォーマンスをあげられない、特に、熱の問題は深刻。

超高速プロセッサですべてを処理するアプローチは現在のところ限界が見えている。

デバイスとアーキテクチャ開発の両面からの解決が必要

携帯機の今後の進歩

Today: Processors at each layer, Analog proc for RF
Future: Further Digitisation, Reconfigurable Circuits for SDR



SDRを目指して何に取り組みたいか

Chip技術の限界を克服するアーキ上の課題

単体素子の能力を引き出すためには、Localなクロックの速度で処理ができる構成が必要

SDR機能を実現するハードウェアの構成

チップ能力を最大限に活用するためには、機能で閉じた(ローカルメモリによるプログラマブルな)機能ブロックのバイライン構成が必要

いろいろな処理アルゴリズムとその実現方法を具体的に検討していくことが必要。そのいくつかを試みたい。