

全デジタルPLLの位相雑音と スプリアス特性の解析

○寺尾 剛、荒木純道

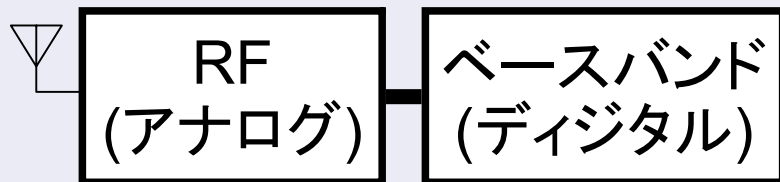
東京工業大学大学院理工学研究科

発表内容

- 研究背景
- 全デジタルPLLの構成
 - Digitally-Controlled Oscillator (DCO)
 - Time-to-Digital Converter (TDC)
- 位相雑音解析
 - TDCのインバータ遅延ばらつきが及ぼす影響
- スプリアス解析
 - ループフィルタの影響
 - $\Sigma \Delta$ 変調器の精度の影響

研究背景

■ 従来のデジタル無線送受信機



- ◆ CMOSではアナログ特性が不十分で、RFとBBが分離されている
- ◆ アナログ回路は面積が大きく、消費電力も大きい

■ 新たなアーキテクチャ：CMOS 1チップ送受信機



- ◆ デジタル回路でRF信号を処理
- ◆ RF回路とベースバンド回路を 1つのCMOSチップに搭載 (SoC)
- ◆ 省スペース化・省電力化

局部発振器：送信機・受信機どちらにも使われる重要なコンポーネント
CMOSに適した局部発振器「全デジタルPLL (ADPLL)」が提案されている

目的：ADPLLの位相雑音特性とスプリアス特性を明らかにする

全デジタルPLL (ADPLL)

→PLLの制御信号をすべてデジタル化した回路

フィードバック制御により、
出力クロックの周波数が

$$f_{\text{DCO}} = n \cdot f_{\text{ref}}$$

となる

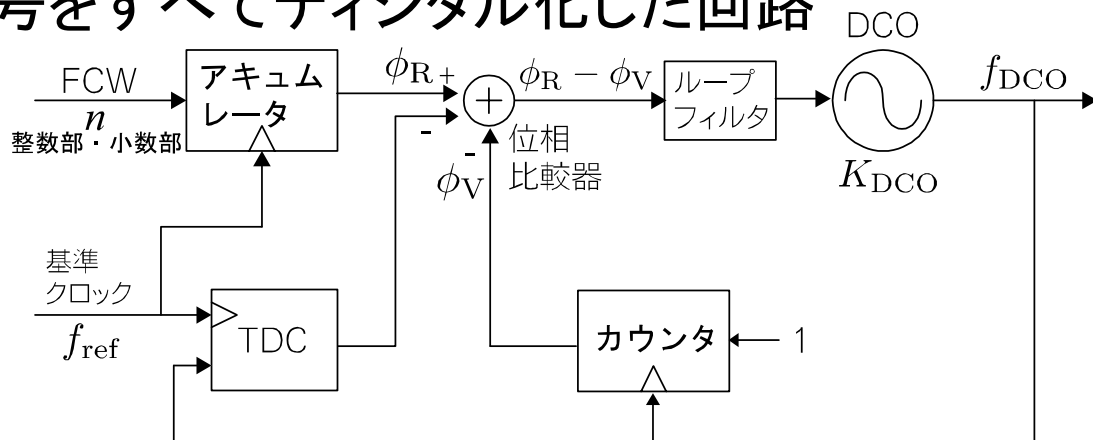


図: ADPLLのブロック図

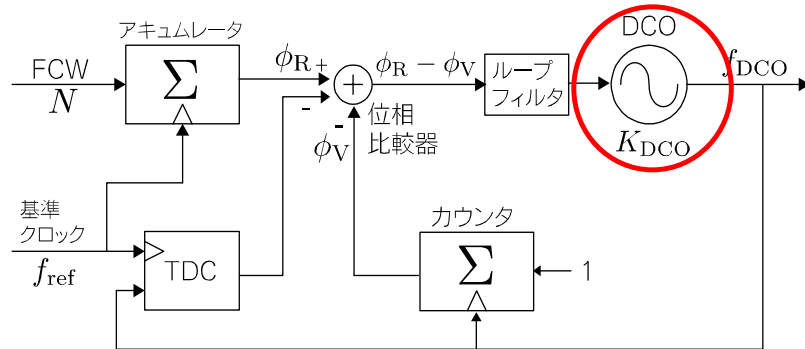
■ 従来型アナログPLL

- ミキサによる位相比較
- 乗算による高周波成分、非線形性ひずみの出現
- VCO入力電圧の微小変動により位相雑音が発生

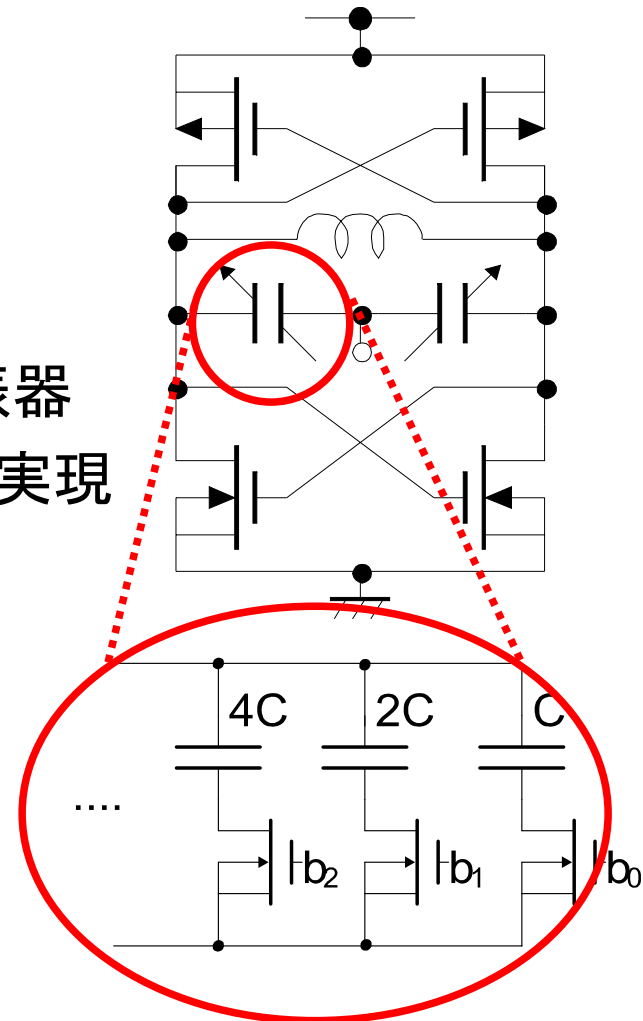
■ ADPLL

- カウンタ+加算器とTDCによる周波数/位相比較
- 線形なので周波数/位相比較による寄生発振がない
- デジタル値制御のため電圧変動の影響を受けにくい

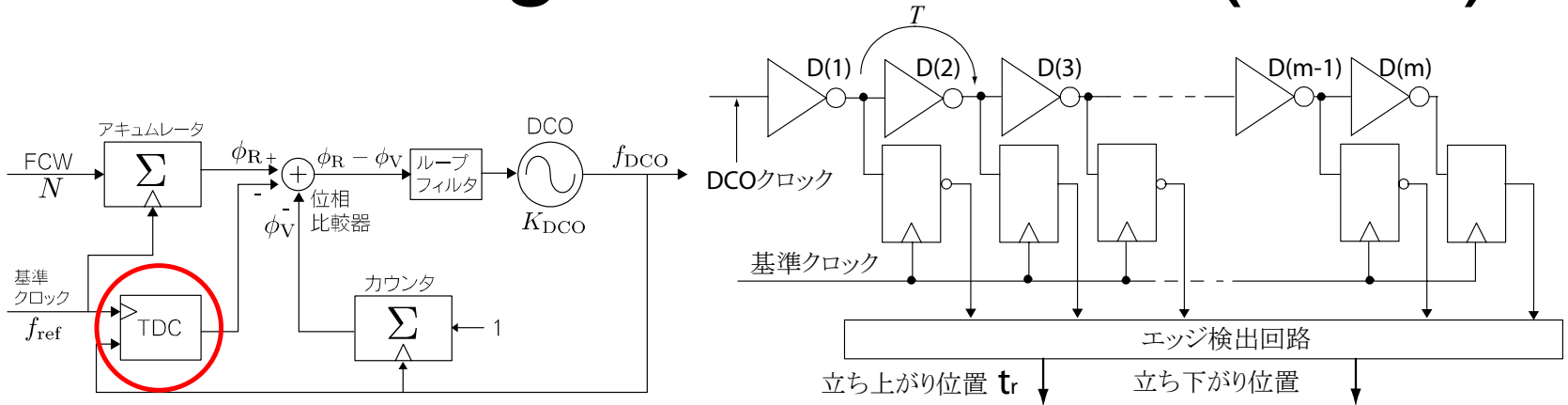
Digitally-Controlled Oscillator



- デジタル値で周波数を制御できる発振器
- スイッチトキャパシタやバラクタアレイで実現
- デジタル値による制御のため
電圧の微小変動に強い
- 最小キャパシタ容量変化
 - 0.04fF @ 130nm CMOSプロセス
 - 周波数分解能 : 23kHz / LSB @ 2.4GHz



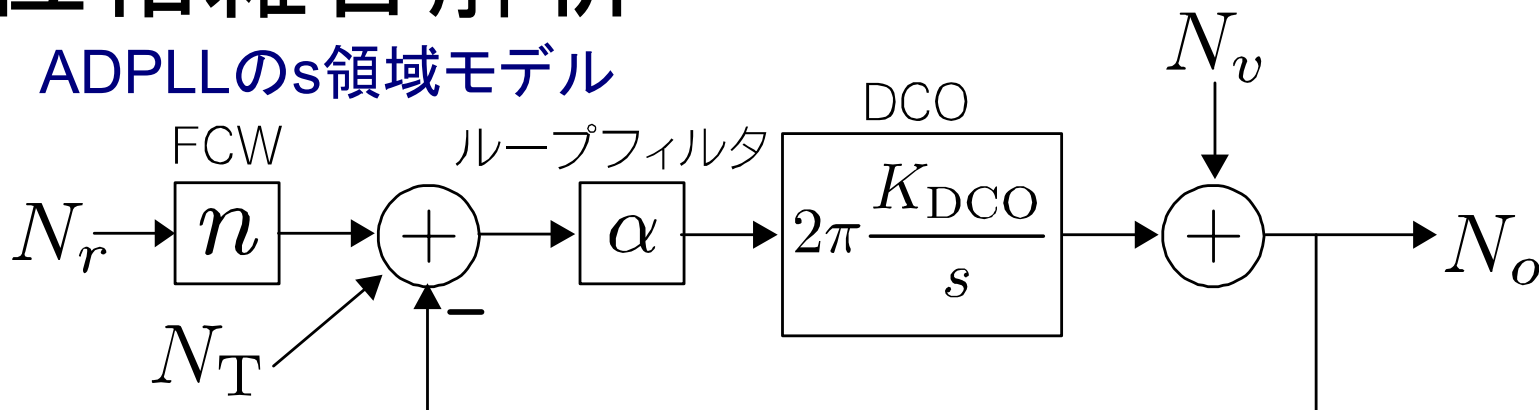
Time-to-Digital Converter (TDC)



- 2つのクロックの時間差をデジタル値に変換
 - DCOクロック周期より細かい時間差を得るのに必要
- 実現方法・・・インバータチェイン
 - CMOSインバータの伝達遅延時間を利用
 - 実現可能な時間分解能: 数 ps

位相雑音解析

ADPLLのs領域モデル

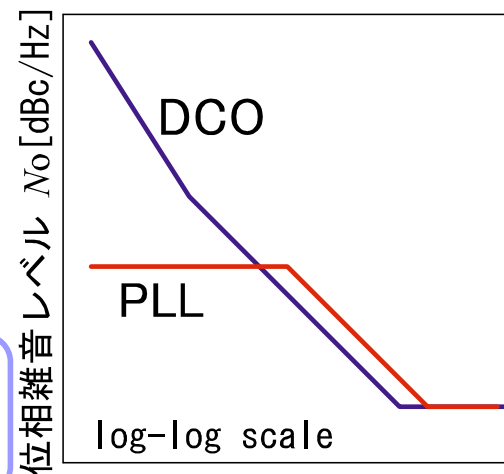


N_r, N_v, N_T : 基準クロック, DCO, TDC から出る雑音電力

■ 出力に現れる雑音

$$N_o = \left| \frac{1}{1 + j \frac{2\pi f}{\alpha K_{DCO}}} \right|^2 (nN_r + N_T) + \left| \frac{j \frac{2\pi f}{\alpha K_{DCO}}}{1 + j \frac{2\pi f}{\alpha K_{DCO}}} \right|^2 N_v$$

$f \rightarrow 0$ (中心周波数近傍)で、DCOの位相雑音は抑圧され、TDCと基準クロックから出る位相雑音が支配的になる。



オフセット周波数 f [Hz]

図: PLLの位相雑音特性

TDCのインバータ遅延ばらつき

ばらつきのあるm段のインバータチェーンを考える

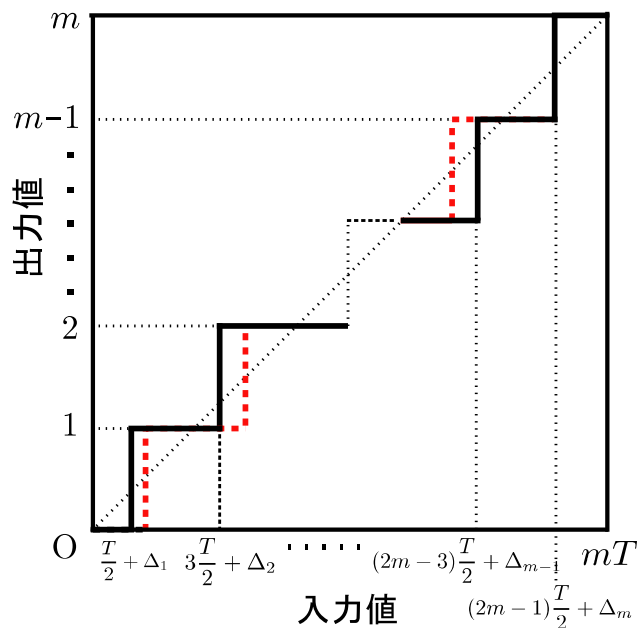


図: TDCの変換特性

- 各段の立ち上がりの位置

$$\frac{2i-1}{2}T + \Delta_i \quad (i = 1, \dots, m)$$
- 直線からの平均二乗誤差

$$\sigma_o^2 = \frac{T^2}{12} + \sum_{i=1}^m \frac{\Delta_i^2}{m}$$
- 位相雑音

$$L = \frac{4\pi^2}{T_v^2 f_{\text{ref}}} \left(\frac{T^2}{12} + \sum_{i=1}^m \frac{\Delta_i^2}{m} \right)$$

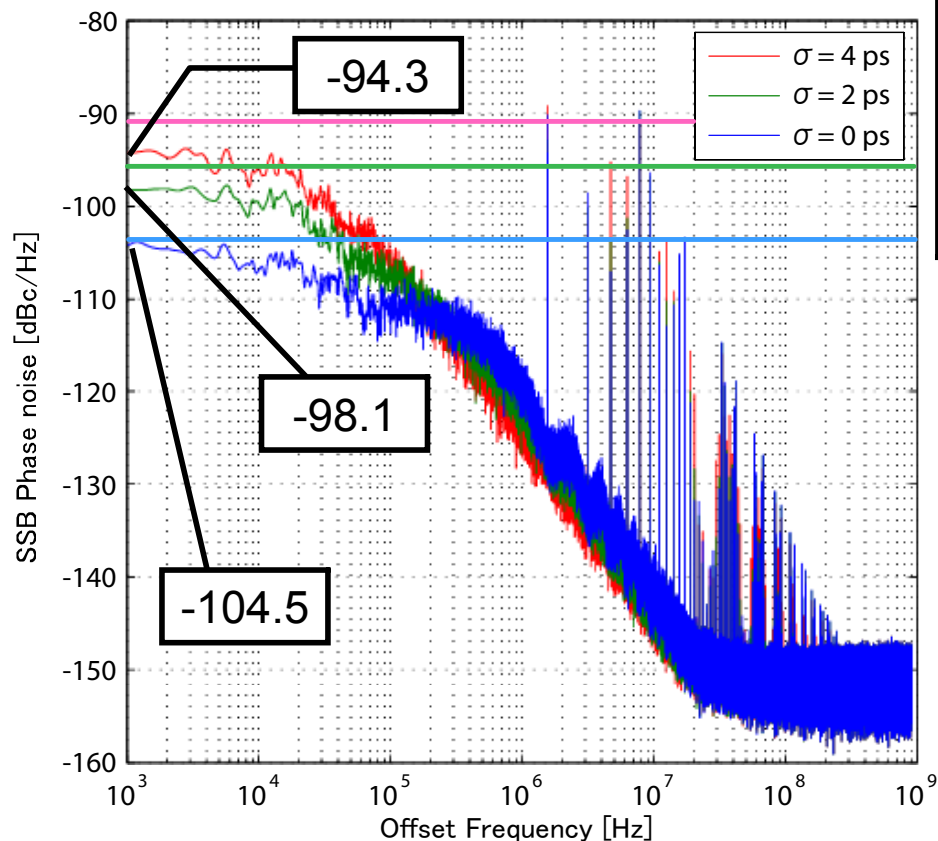
数値例: 右表

$f_{\text{ref}} = 25\text{MHz}$, $1/T_v = 1.8\text{GHz}$,
 $T = 10\text{ps}$, $m = 64$
 インバータ遅延が正規分布に従うとする

標準偏差 σ [ps]	位相雑音 L [dBc/Hz]
0	-103.7
2	-95.8
4	-90.6

位相雑音シミュレーション

- ADPLLの各要素をVHDLによりモデル化しシミュレーション
- 出カクロックの立ち上がり時刻から位相雑音を計算



基準クロック周波数	25 MHz
発振周波数	1.8078 GHz
シミュレーション期間	20 ms
インバータ平均遅延時間	10 ps

■ 遅延ばらつきが増大に伴い、中心周波数近傍の位相雑音レベルが上昇

■ 10^3 Hz ~ 10^4 Hzでの位相雑音レベルは、解析値と最大4dBほど差がある

スプリアス特性

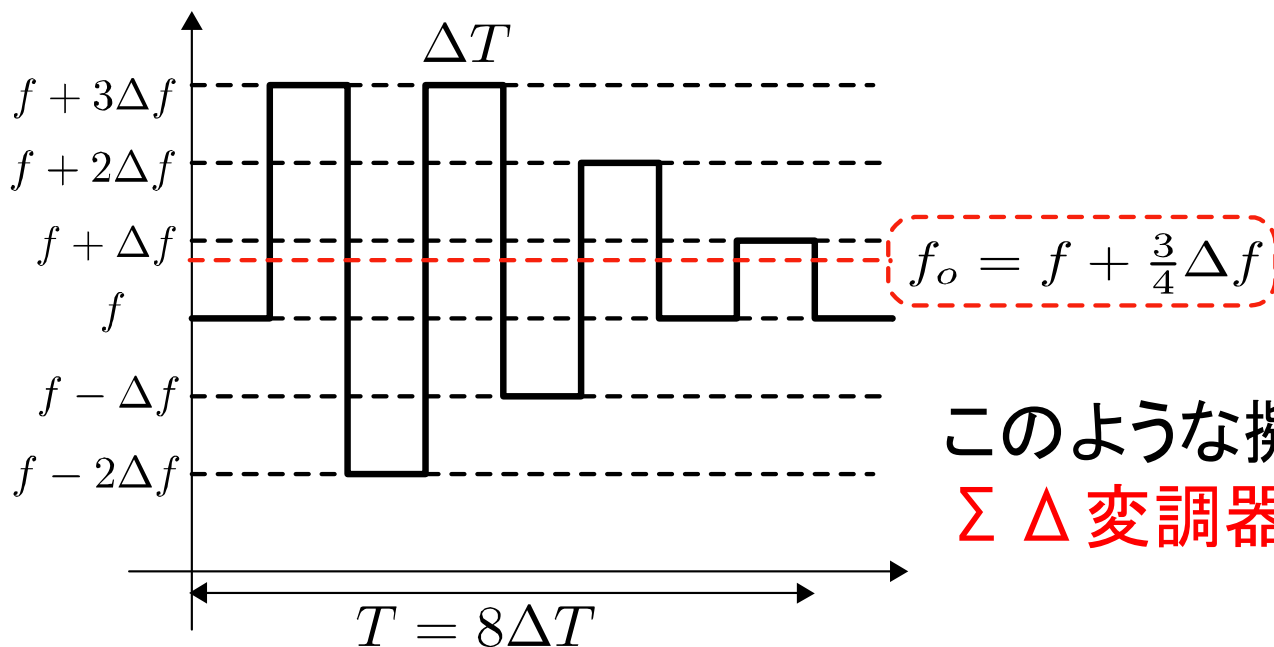
- 入力の周期的変動→FM変調によるスプリアスの出現
- 原因:FCW小数部の存在による繰り上がり発生
- スプリアスの大きさ(周波数感度 Δf , 変調周波数 f_m)

$$\simeq 20 \log \left(\frac{\Delta f}{2f_m} \right) \text{ dBc/Hz}$$

- 周波数位置:入力変動の周波数(f_m)に等しい
 - 基準周波数 25MHz, FCW小数部が1/16であれば,繰り上がりは $25\text{MHz}/16 = 1.56\text{MHz}$ で発生する
 - 繰り上がりによるスプリアスも1.56MHzオフセット

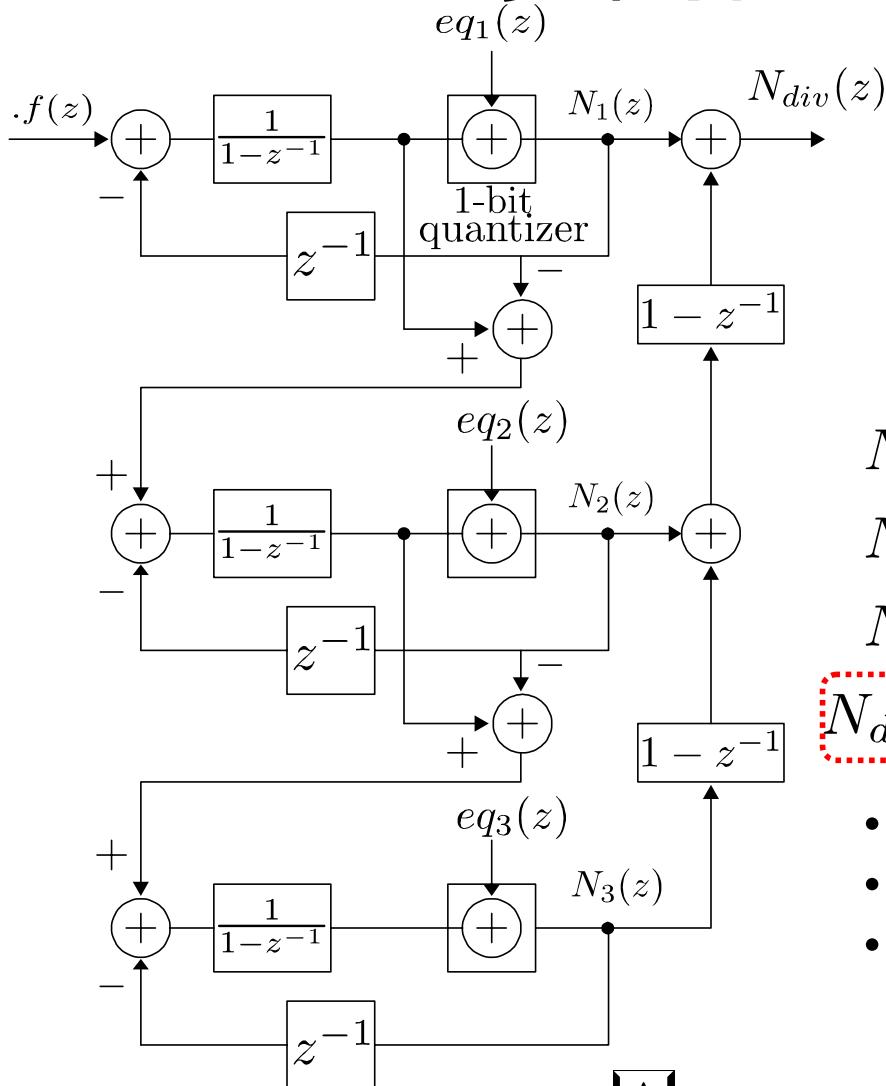
$\Sigma \Delta$ 変調によるディザリング

- 小数部入力を整数列に変換し, その値でDCOの出力周波数を制御する
- 制御入力信号を高速に変化させ, スプリアスを高周波側へ移動させる



このような擬似乱数列は
 $\Sigma \Delta$ 変調器で生成できる

3次 $\Sigma \Delta$ 変調器



小数入力値 f に対し、時間平均が f となるような整数列を出力する回路

$f(z)$: 入力的小数部

$eq_i(z)$: 量子化誤差

$$N_1(z) = f(z) + (1 - z^{-1})eq_1(z)$$

$$N_2(z) = -eq_1(z) + (1 - z^{-1})eq_2(z)$$

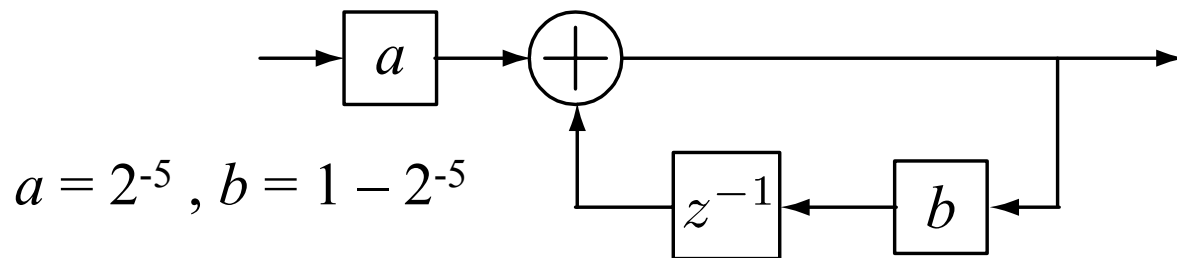
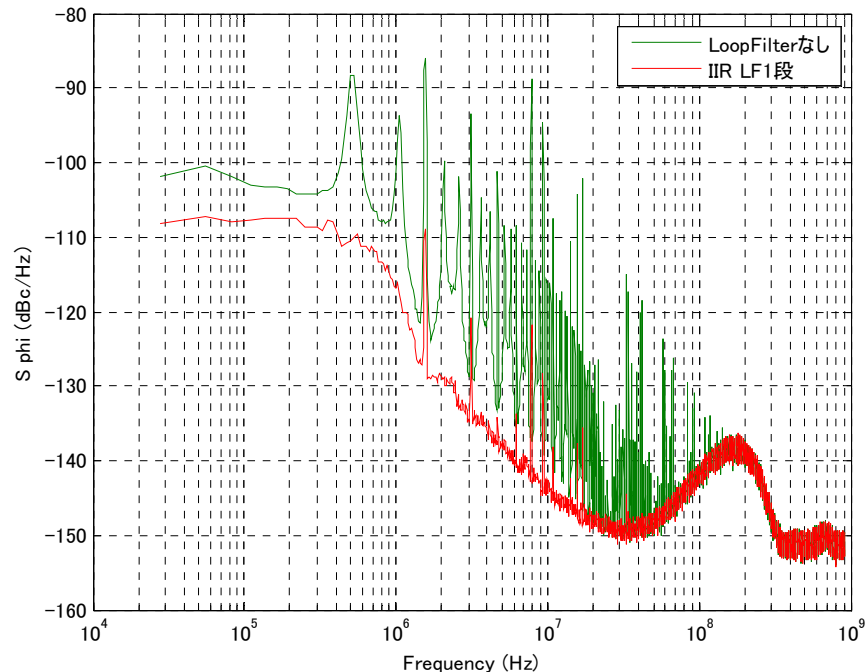
$$N_3(z) = -eq_2(z) + (1 - z^{-1})eq_3(z)$$

$$N_{div}(z) = f(z) + (1 - z^{-1})^3 eq_3(z)$$

- 入力信号 f はそのまま出力される
- 量子化誤差は3階差分演算される
- 量子化誤差エネルギーは高周波側へ移動する

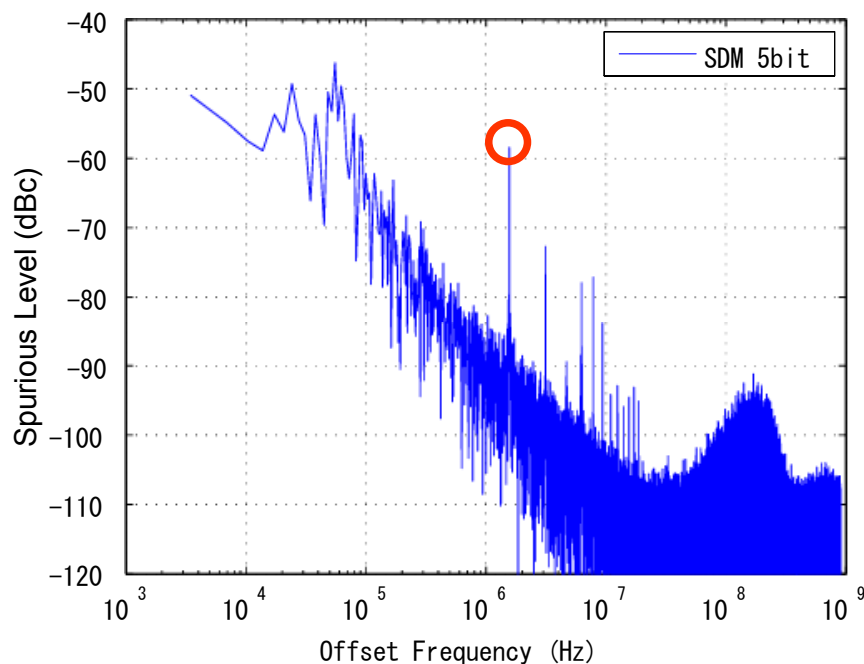
ループフィルタとスプリアス

- ループフィルタの有無により, $\Sigma \Delta$ 変調によるスプリアス抑制効果が大きく変動する



$\Sigma \Delta$ 変調器精度とスプリアス

- スプリアス抑圧効果は $\Sigma \Delta$ 変調器入力の精度に依存
- 入力ビット長の増加にともないスプリアスレベルは低下していくが, 下限が存在する



第1スプリアスの電力

ビット長	スプリアスレベル[dBc]
2	-48.8
3	-50.1
4	-57.8
5	-58.4
6	-58.6

結論

- TDCのインバータ遅延ばらつきが大きくなると中心周波数近傍の位相雑音が上昇する
- ループフィルタの有無, $\Sigma \Delta$ 変調器入力の精度とスプリアスレベルの関連性を明らかにした

検討課題

- ループフィルタや $\Sigma \Delta$ 変調器のパラメータとスプリアスレベルの関係を定式化する
- DCOキャパシタンスのばらつきなど、インバータ遅延以外の要素のばらつきがADPLLにもたらす影響を解析する