
PAPRを低減するサブキャリア位相ホッピング を用いたMIMO-OFDM送信機のFPGA実装

泉 潤吾, 須山 聡, 鈴木 博, 府川 和彦

東京工業大学

研究背景

MIMO-OFDM

- 周波数利用効率の良いマルチキャリア伝送
- 複数の送受信アンテナを用いて高速・高信頼な伝送を実現

問題点 ピーク対平均電力比 (PAPR) が高くなる
⇒ 電力増幅器の電力効率が低下

ピーク低減手法 : selected mapping (SLM)

⇒ サブキャリアの位相を回転させてPAPRを低減

サブキャリア位相ホッピング空間分割多重 (SPH-SDM)

⇒ 周波数ダイバーシチ効果を高め, 伝送特性を改善

SPH-SLM

伝送特性の改善とPAPRの低減を同時に実現

⇒ ハードウェアによるリアルタイム検証は行われていない

研究目的

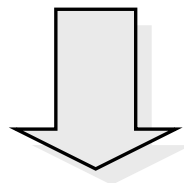
SPH-SLMを適用したMIMO-OFDM送信機を
FPGAを用いて実装

送信アンテナ2本のMIMO-OFDM

⇒ SPH-SLMを適用

リアルタイムにPAPRを低減するSPH-SLM送信機

ハードウェアによって検証



SPH-SLMの性能と回路規模を明らかにする

SPH-SDM

送信信号ベクトル

$$\mathbf{S}_n = \frac{1}{\sqrt{2}} \begin{bmatrix} e^{j\phi_{n,1}} & e^{j\phi_{n,1}} \\ e^{j\phi_{n,2}} & -e^{j\phi_{n,2}} \end{bmatrix} \begin{bmatrix} z_{n,1} \\ z_{n,2} \end{bmatrix}$$

\mathbf{P}_n : 直交位相行列

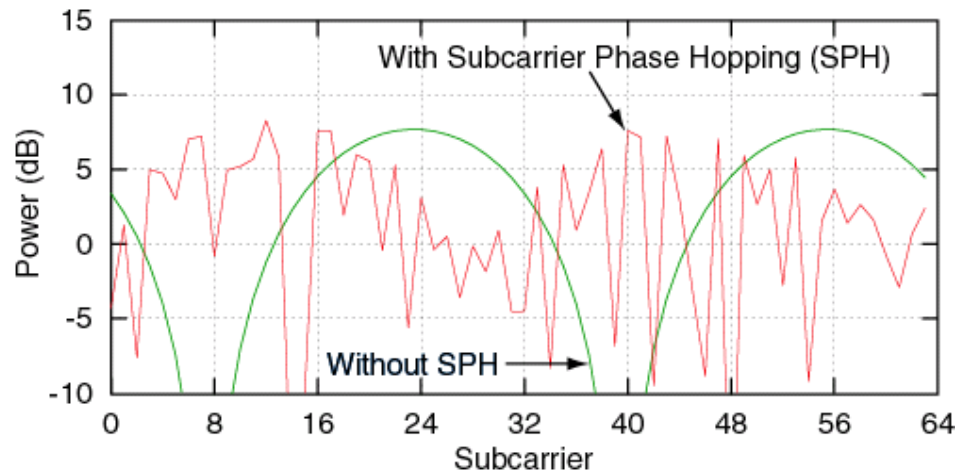
\mathbf{z}_n : 変調信号ベクトル

受信信号ベクトル

$$\mathbf{r}_n = \mathbf{H}_n \mathbf{S}_n + \mathbf{n}_n = \mathbf{H}_n \mathbf{P}_n \mathbf{z}_n + \mathbf{n}_n$$

$\mathbf{H}_{e,n}$: 等価チャネル行列

$$(\mathbf{H}_{e,n})_{1,1} = \frac{1}{\sqrt{2}} \left(H_{11,n} e^{j\phi_{1,n}} + H_{12,n} e^{j\phi_{2,n}} \right) \Rightarrow$$

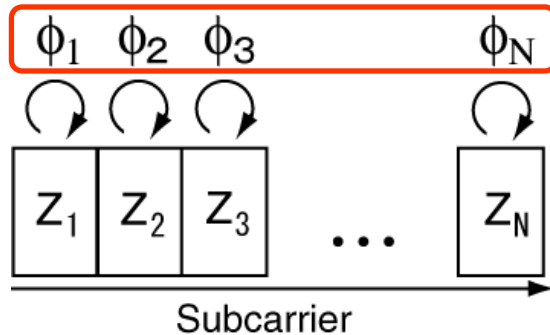


誤り訂正符号による周波数ダイバーシチ効果が高まる

SPH-SLM

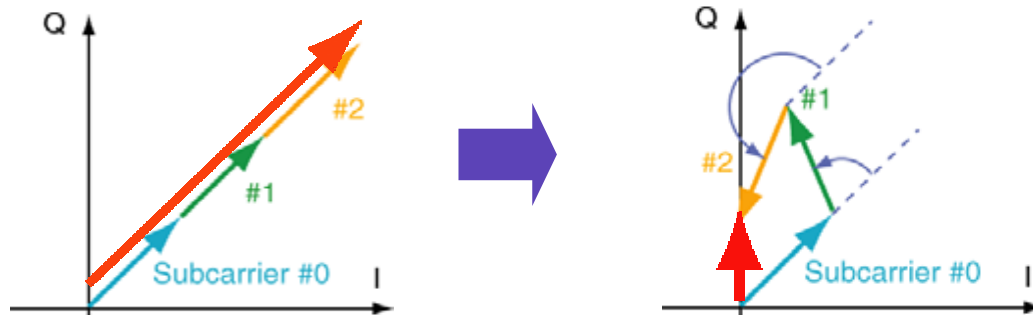
SLM

各サブキャリアにランダム位相を乗算



位相パターンを複数用意し、
ピークの最も低くなるものを選択

IFFT後の信号の位相が回転するため、ピークが抑圧される

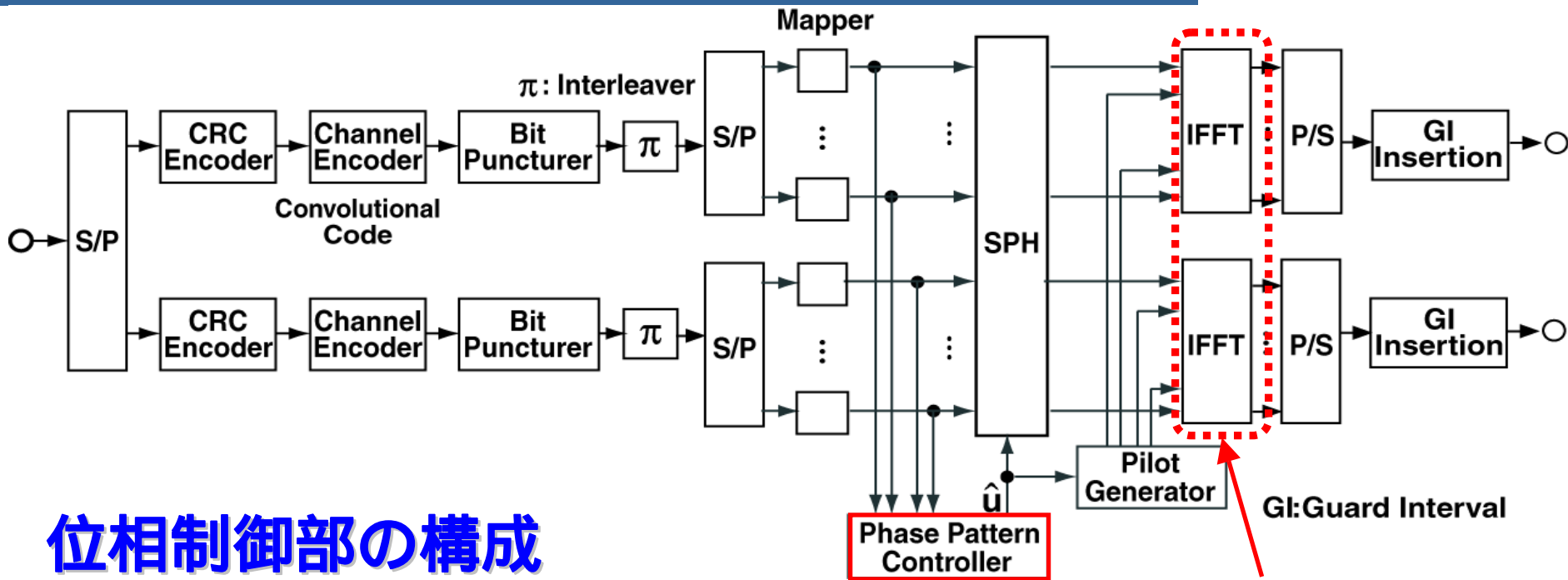


SPH-SLM

SPH-SDMにおける直交位相行列を複数用意してSLMを適用

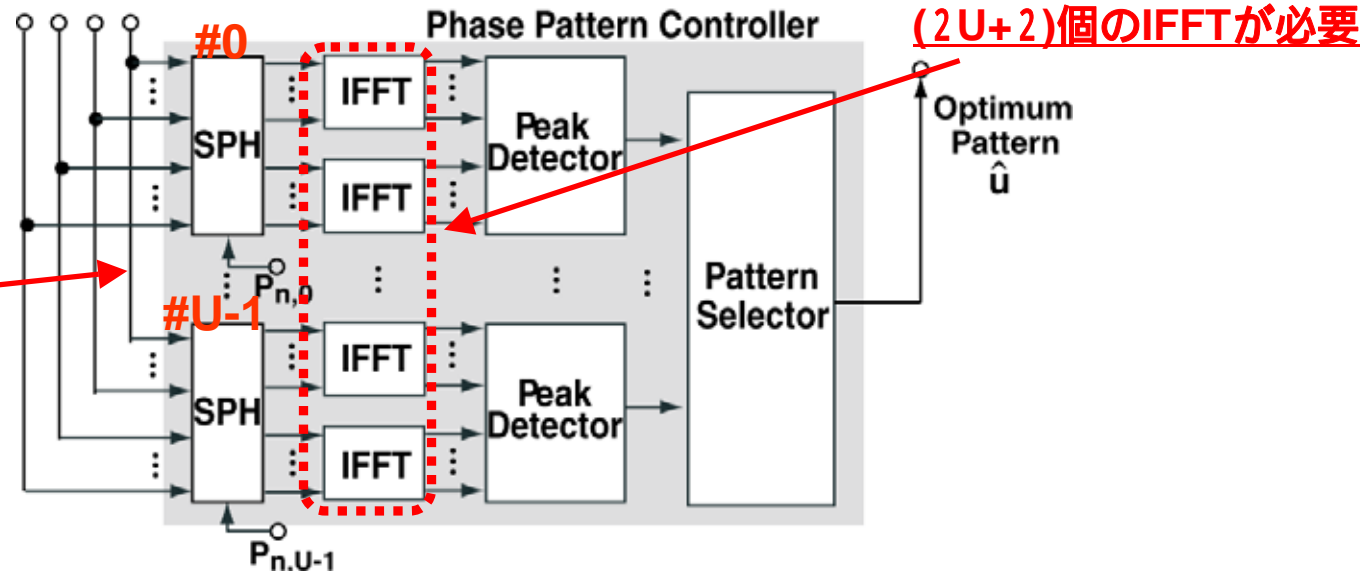
⇒ ピークの低減と伝送特性の向上を同時に実現

SPH-SLM送信機の構成



位相制御部の構成

SPH-SDMを
Uパターン分
並列に配置



SPH-SLM送信機の仕様

信号ビット幅	16 bit	
送信アンテナ数 (ストリーム数)	2	
伝送方式	SPH-SLM	
帯域幅	20 MHz	} IEEE802.11a に準拠
FFT ポイント数	64	
有効キャリア数	52 (pilot:4, data:48)	
シンボル周期 (GI 長)	4.0 μs (0.8 μs)	
誤り訂正符号	畳み込み符号 (拘束長:7)	
符号化率 R	R=1/2, 2/3, 3/4	
変調方式	QPSK / 16QAM / 64QAM	
伝送レート	108 Mbps (64QAM, R=3/4)	
SPH パターン数 U	16	
IFFT の実装個数 $2U + 2$	34	

ハードウェアの構成

FPGA 6個搭載

Xilinx社 Virtex Pro (XC2VP70)

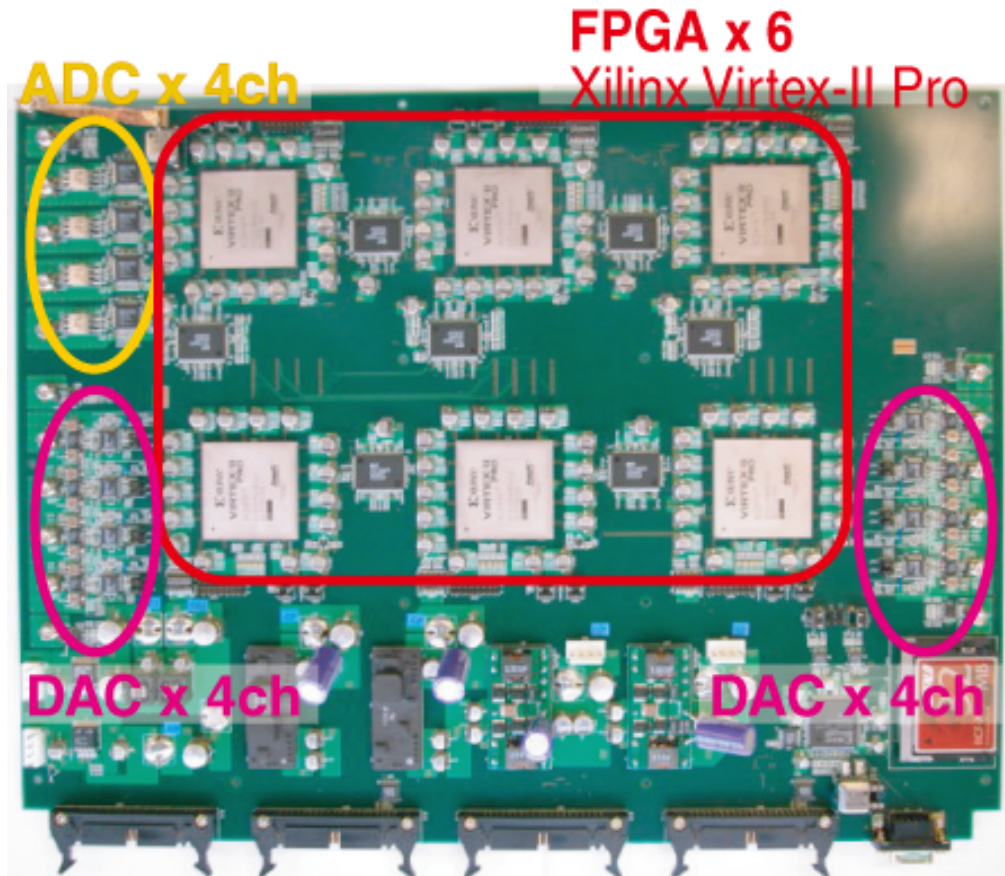
- ✓ 約700万ゲート
- ✓ 328個の乗算器，ブロックRAM
- ✓ PowerPC 405 CPU 2個

A/D モジュール 4個搭載

105MHz，14bit A/D コンバータ

D/A モジュール 8個搭載

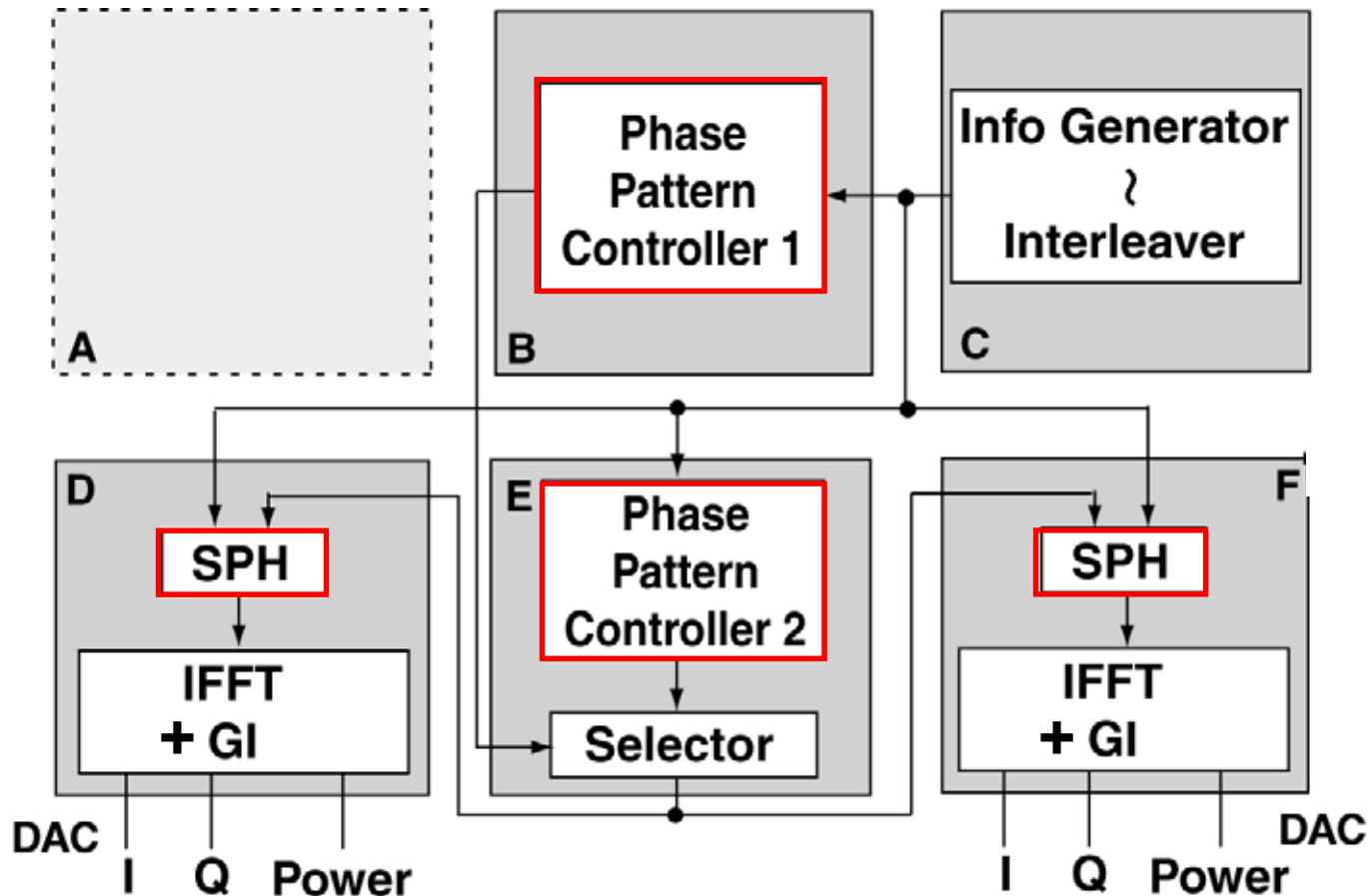
160MHz，14bit D/A コンバータ



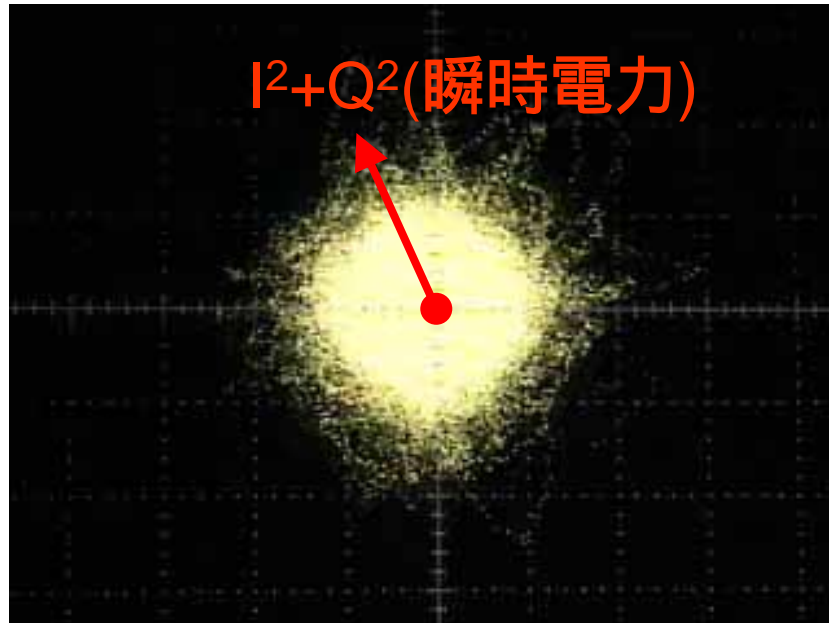
モジュールの配置

位相を制御するコントローラは2つのFPGAに分けて配置

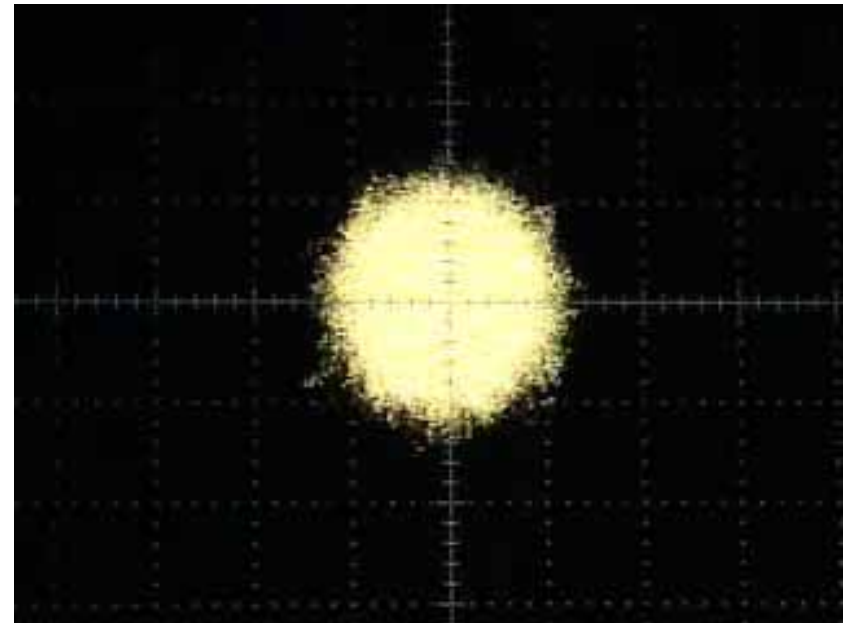
選択された位相パターンを2つのFPGAに渡し2ストリームの波形を観測



送信信号の瞬時電力極座標表示



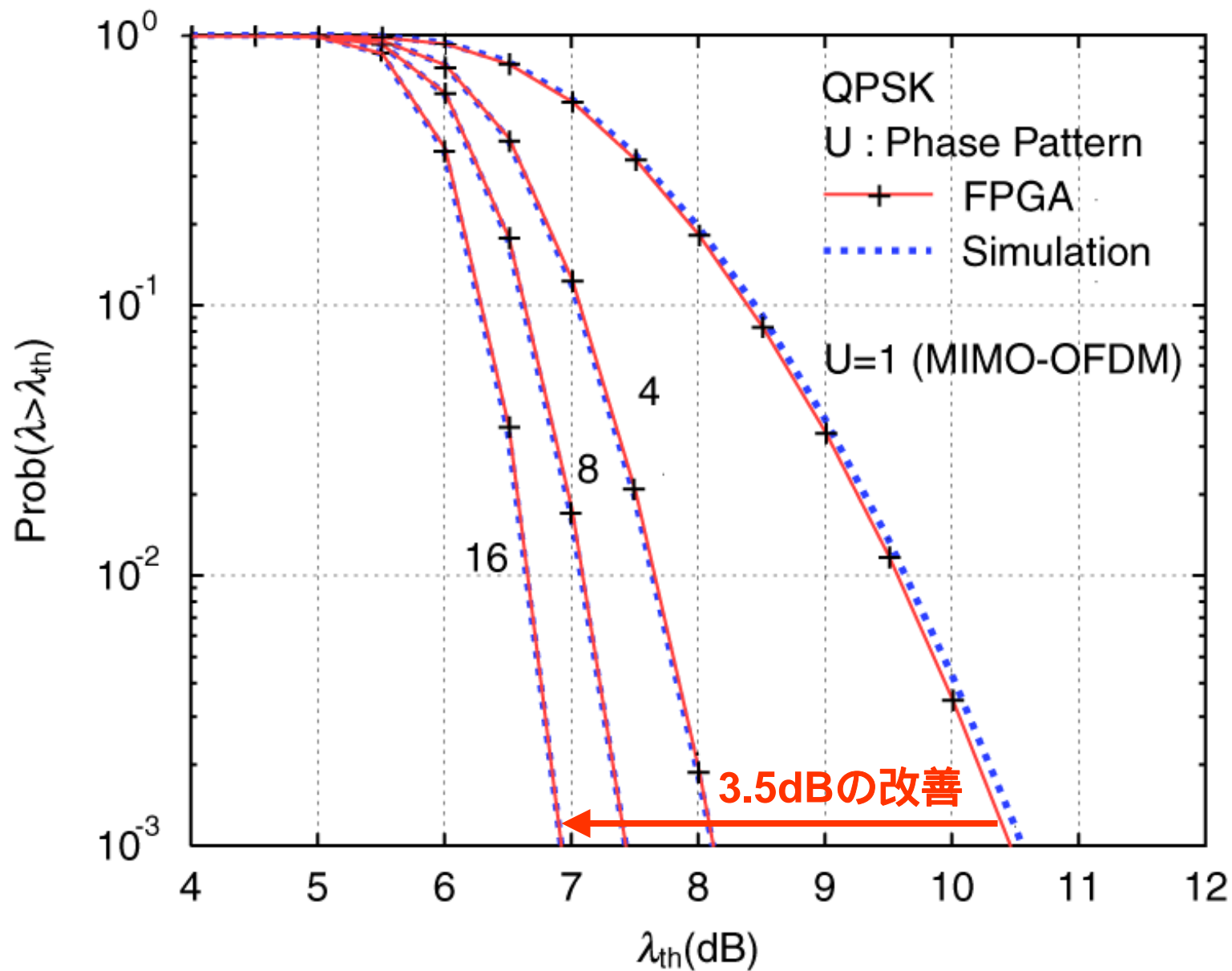
従来のOFDM波形



SPH-SLM適用後の波形

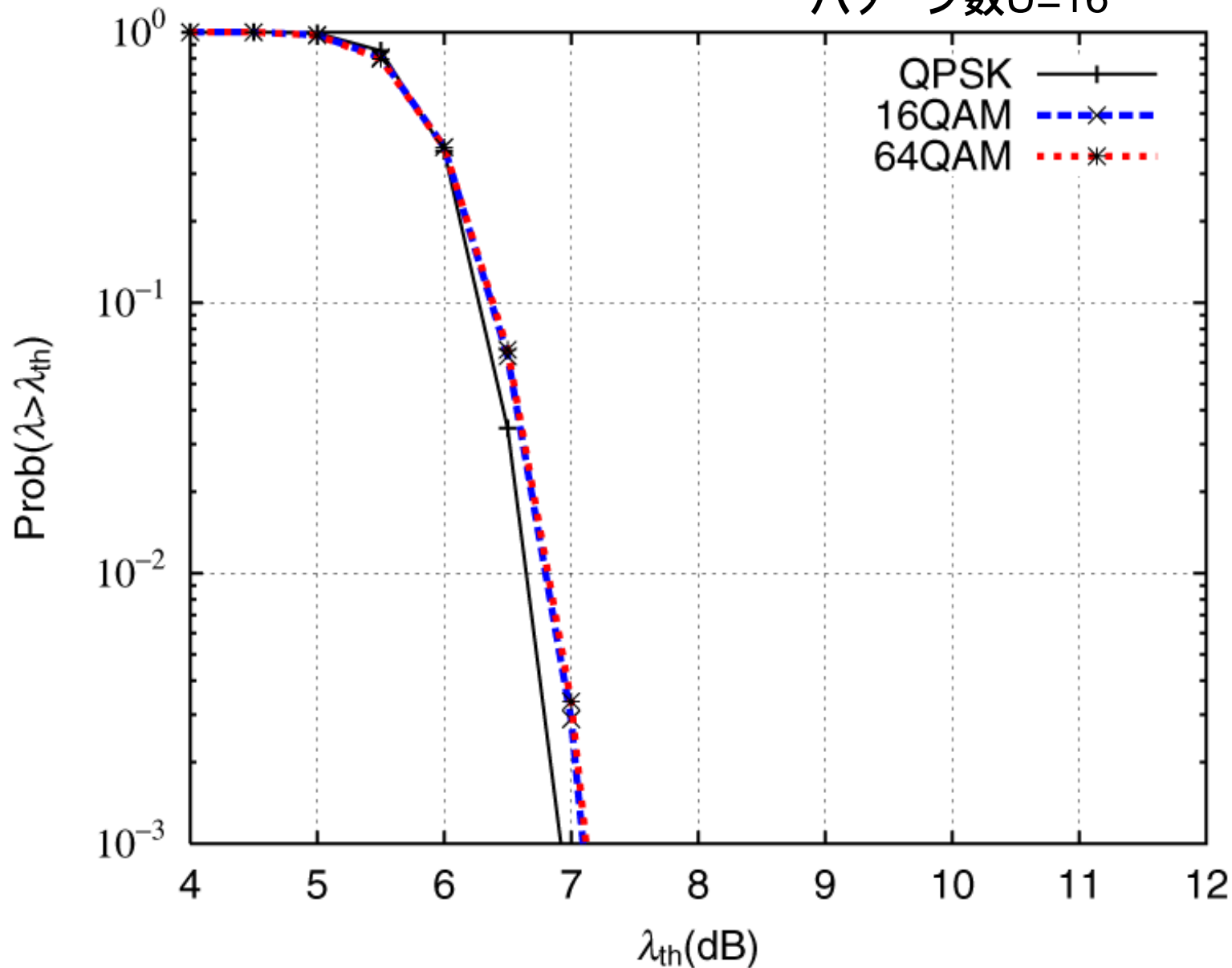
振幅方向に送信信号波形の瞬時電力を表示

PAPRのCCDF特性 (パターン数による比較)



PAPRのCCDF特性 (変調方式による比較)

パターン数U=16



性能と回路規模

FPGA x 6 Xilinx Virtex-II Pro

構成要素	ロジック回路使用率	乗算器
位相制御部	33.4%	320
SPH, IFFT, GI	4.6%	24
その他	2.6%	0
全体	40.1%	344

最大動作周波数	80 MHz
最大伝送レート (R=3/4, 64QAM)	432 Mbps

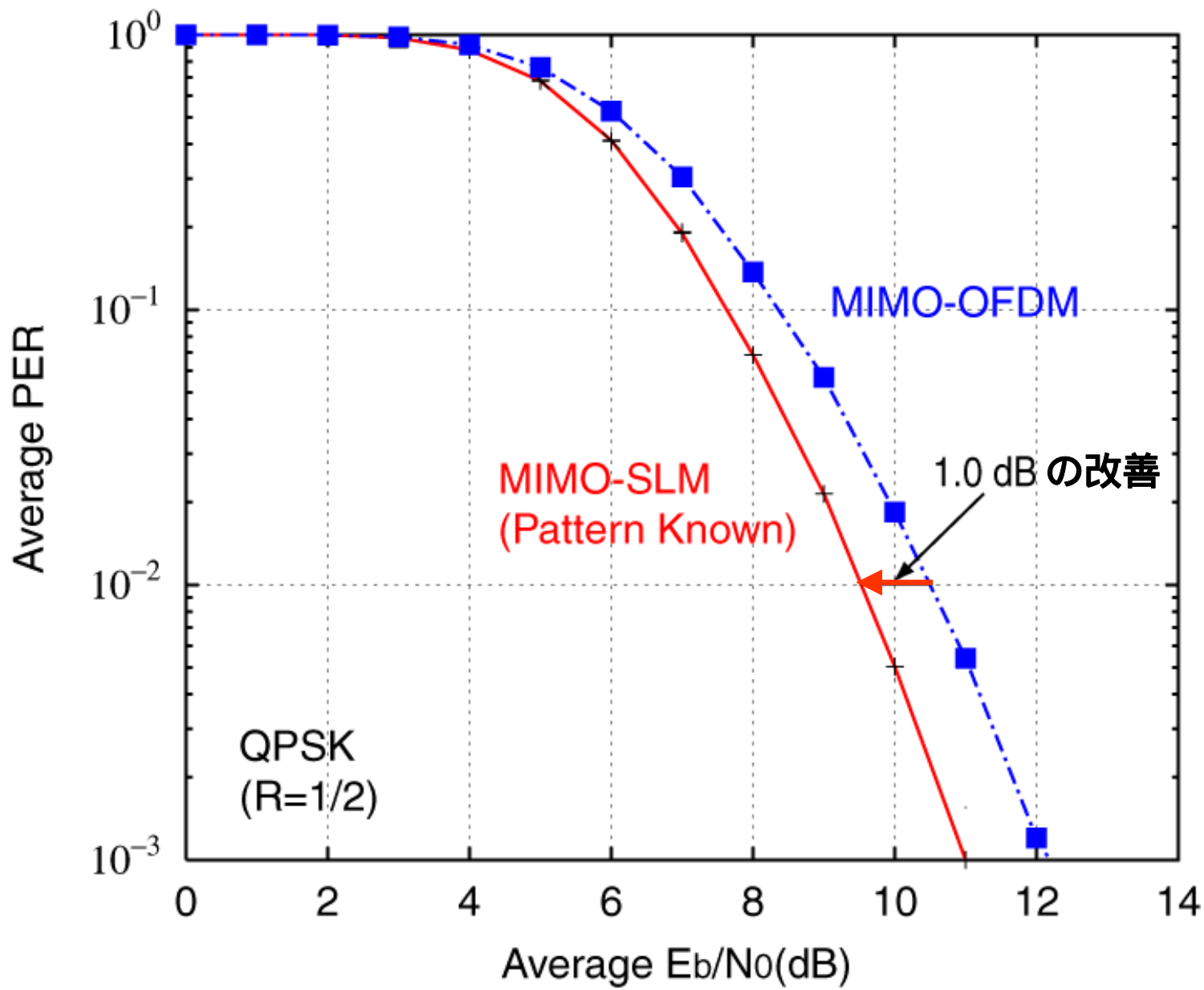
受信処理 (計算機シミュレーション)

FPGAから信号を取得し計算機で受信処理

シミュレーション条件

項目	値
受信アンテナ数	2
復号	軟判定ビタビ復号
データ信号検出	MMSE
最大ドップラー周波数	0 Hz
伝搬モデル	16 パス指数減衰モデル
最大遅延時間	0.75 μ s(15 pt)
先行波と最大遅延波との電力比	20 dB

パケット誤り率特性



まとめ

SPH-SLMを適用したMIMO-OFDM送信機をFPGAに実装

実装

- ⇒ 34 個の IFFT を並列に実装
16 位相パターンによる SPH-SLM 処理を実現

FPGAによる検証

- ⇒ CCDF = 10^{-3} において 3.5 dB の改善
PAPR 特性が計算機シミュレーションと精度良く一致

SPH-SLMの性能と回路規模

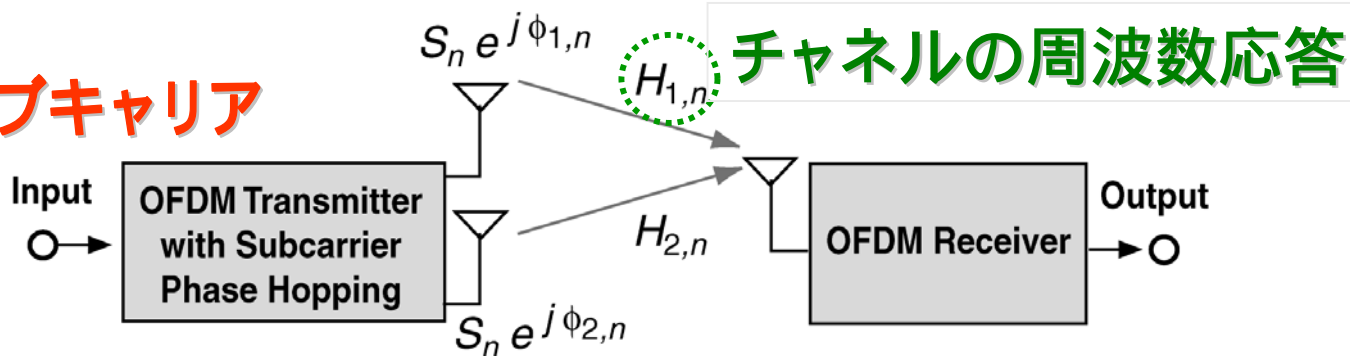
- ⇒ R=3/4, 64QAM で 432 Mbps を実現しながら PAPR を低減
ボードの 40.1 % のリソースを使用



サブキャリア位相ホッピング (SPH)

各サブキャリアに異なる位相回転を与える

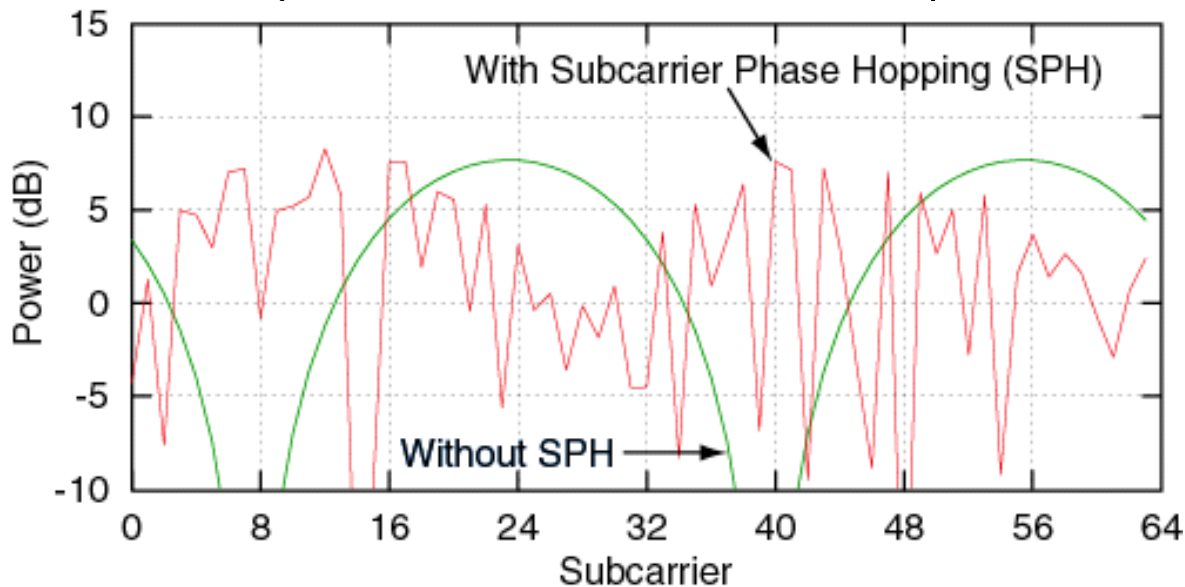
第 n サブキャリア



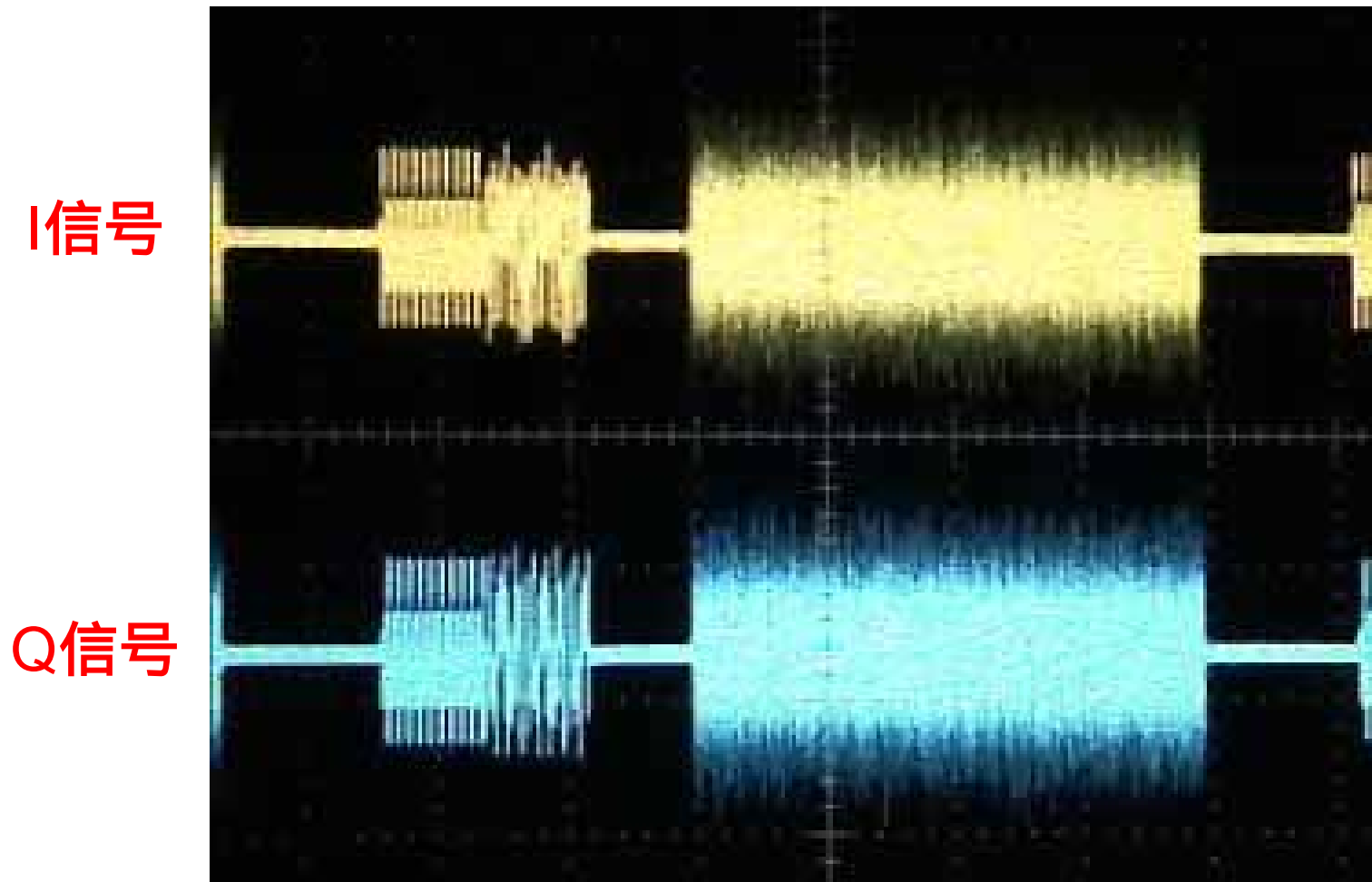
受信信号

$$R_n = \left(H_{1,n} e^{j\phi_{1,n}} + H_{2,n} e^{j\phi_{2,n}} \right) S_n + N_n$$

パターン位相 (Pattern Phase) points to the phase terms in the equation.
雑音 (Noise) points to the N_n term.



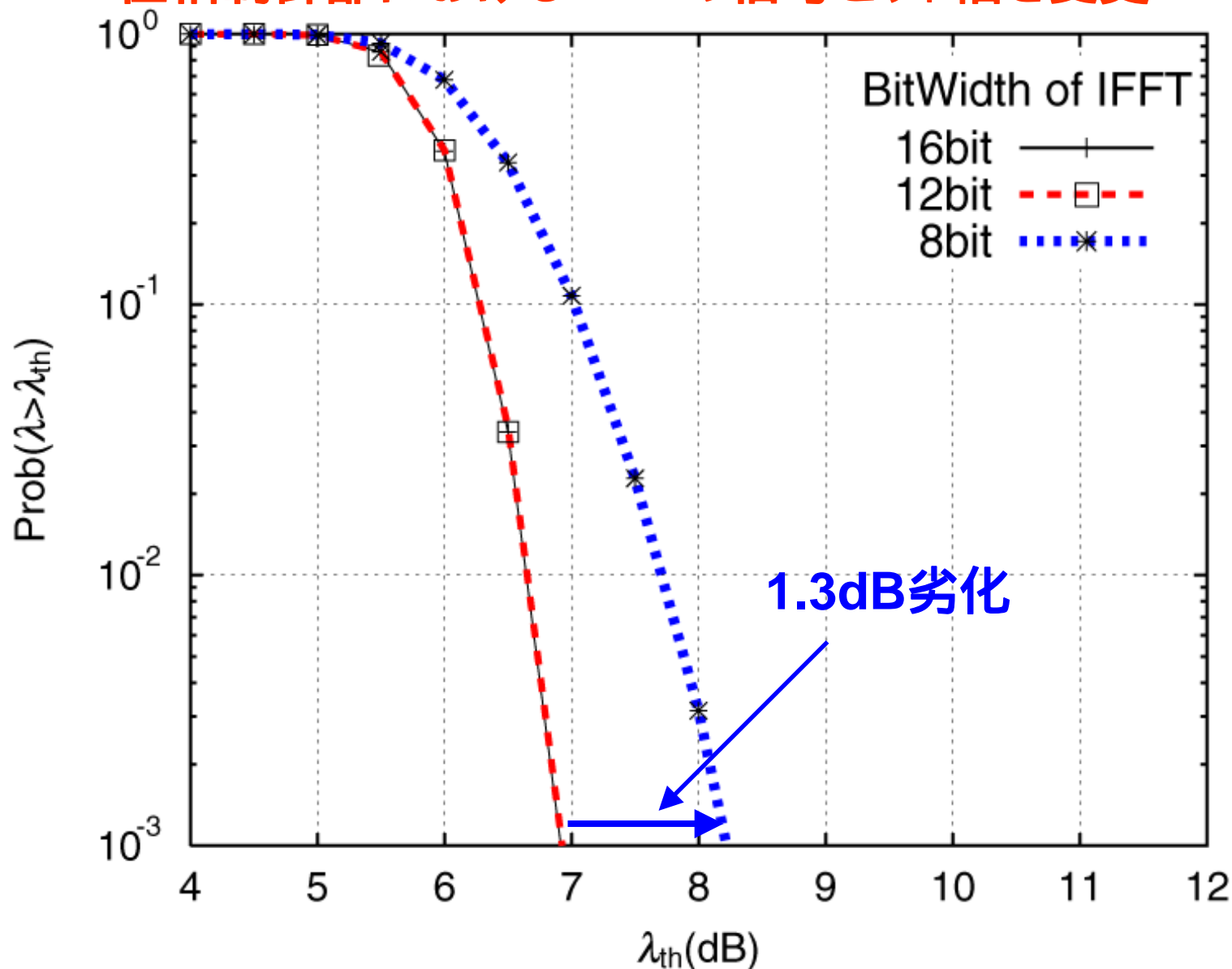
送信信号の時間信号波形



1ストリーム目の時間信号波形

PAPRのCCDF特性 (IFFTビット幅による比較)

位相制御部におけるIFFTの信号ビット幅を変更



PAPRのCCDF特性 (1024サブキャリア)

