

FPGA ボードに実装した 64QAM 2×2 MIMO-OFDM 移動無線伝送シミュレータ

橋爪 明久, 須山 聡, 鈴木 博, 府川 和彦

東京工業大学

研究背景

プログラマブル・デバイスによる
無線伝送シミュレータの必要性

- ・無線信号処理のリアルタイム性の検証
- ・システムにおけるアルゴリズムの有効性の実証

⇒ FPGA を用いた MIMO-OFDM 伝送シミュレータを製作

- 2×2 MIMO デジタルベースバンド伝送系
- 16 パス指数減衰モデルを用いた伝搬路シミュレータ
- 符号化率 (R) = 1/2 の QPSK のみに対応

研究目的

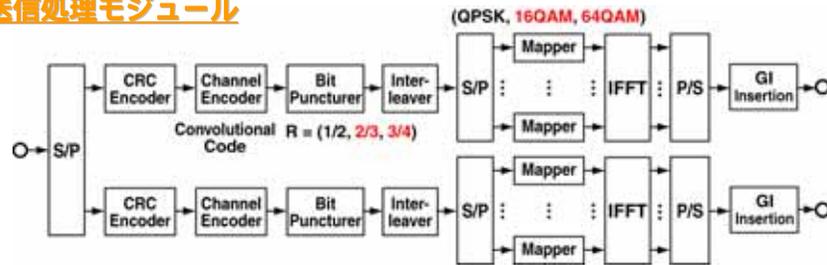
多値変調, 高符号化率パケット伝送系の構築

R = 3/4, 64QAM に対応することで
最大 540 Mbps の伝送速度を実現

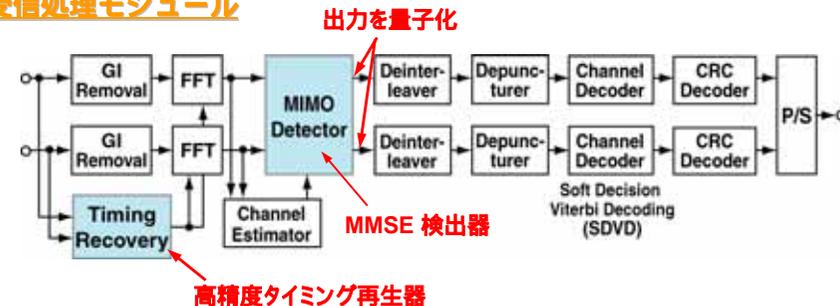
2

シミュレータの送受信処理部

送信処理モジュール



受信処理モジュール

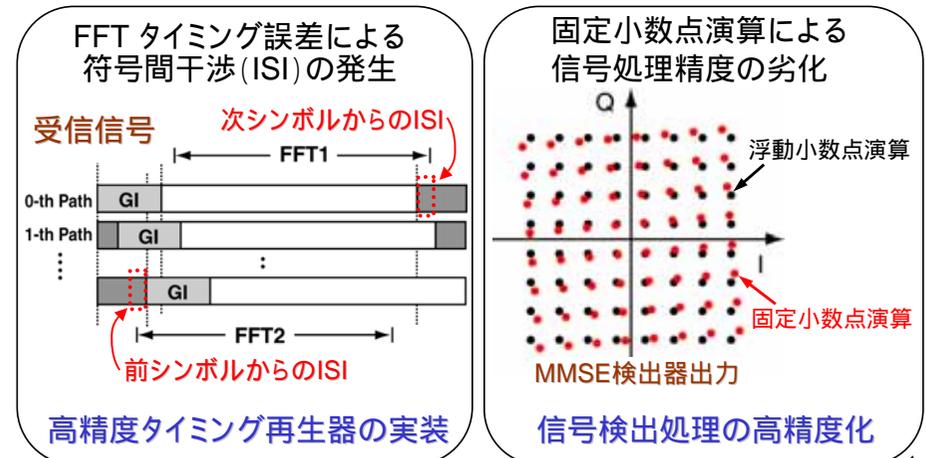


3

シミュレータの伝送速度向上に伴う問題点

多値変調・高符号化率の評価には, 高い CNR 環境が必要

受信処理の不完全性により伝送特性が劣化



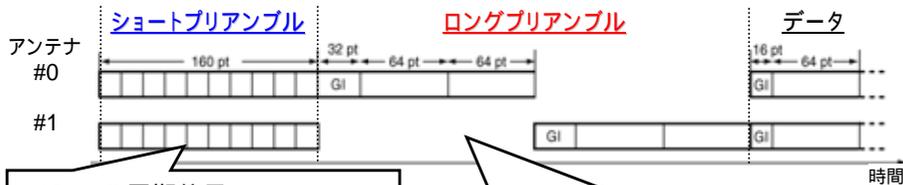
4

MIMO-OFDM 伝送系の構成

システム諸元

ビット分解能	16 bit	} IEEE802.11a に準拠
帯域幅	f_s Hz (f_s : サンプル周波数)	
最大伝送レート	$27/10 \times f_s$ bps	
FFT ポイント数	64	
有効サブキャリア数	52 (pilot: 4, data: 48)	
GI 長	16 pt ($1 \text{ pt} = 1/f_s$)	
シンボル長	80 pt	
データ・シンボル数	10	
伝搬モデル	16パス指数減衰 (最大遅延時間: 15 pt)	

パケット構成



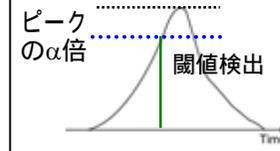
- 16 pt の周期信号
- 高精度タイミング再生器における
仮タイミング検出に使用

高精度タイミング再生器における先行波検出
及びチャネル推定に使用

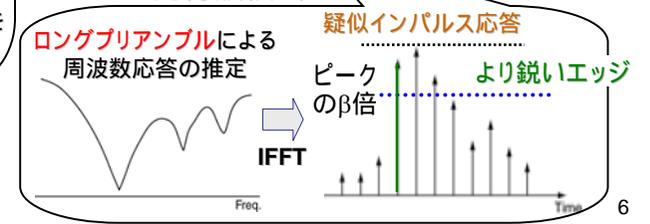
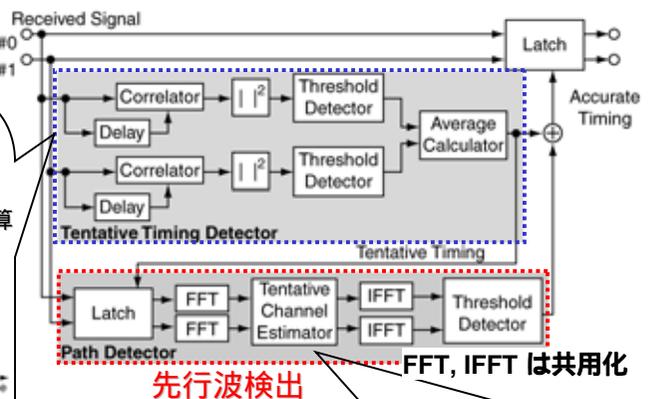
高精度タイミング再生器の構成・動作

仮タイミング検出

- ショートパリアンプの周期性を利用
- 受信信号に対してスライディング相関を計算

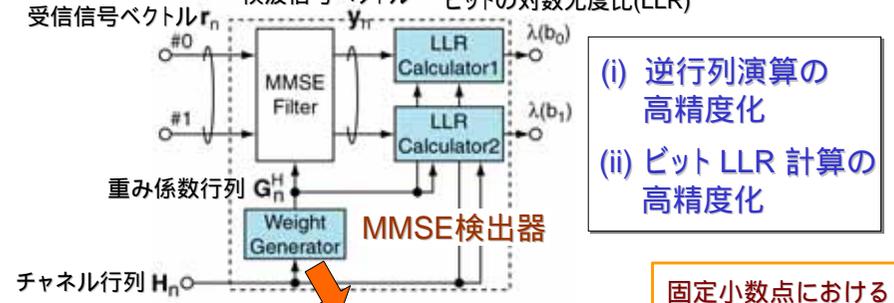


- アンテナ間で検出結果を重み付け平均

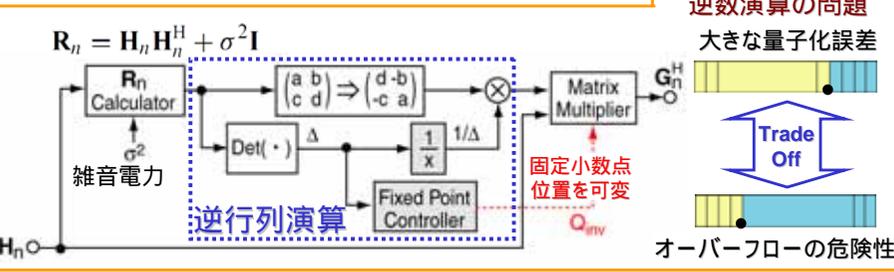


MMSE 検出器の高精度実装

第nサブキャリア



- (i) 逆行列演算の高精度化
- (ii) ビット LLR 計算の高精度化



ビットの LLR 計算の高精度化

第nサブキャリア, 第m送信ストリーム

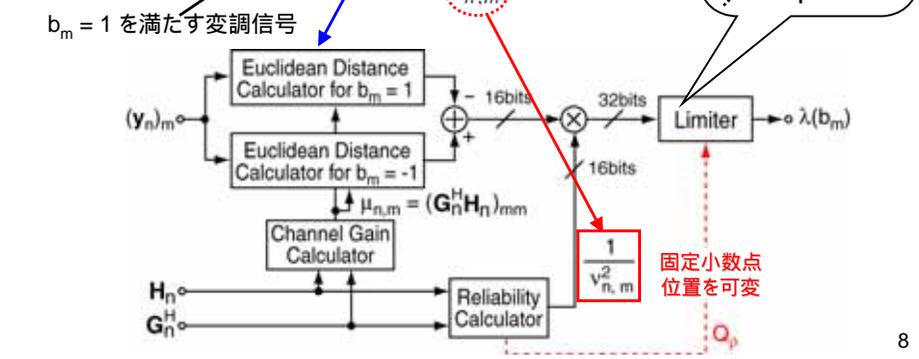
MMSEフィルタ出力:

$$(y_n)_m = \mu_{n,m}(s_n)_m + \eta_{n,m}$$

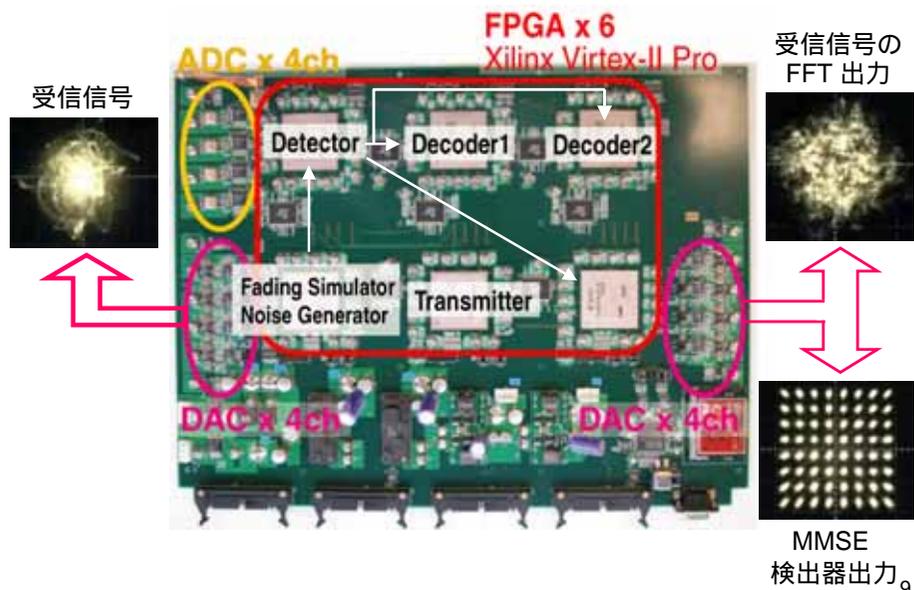
等価振幅 平均 0, 分散 $v_{n,m}^2$

対数尤度:

$$\log p((y_n)_m | (s_n)_m) \propto -\frac{((y_n)_m - \mu_{n,m}(s_n)_m)^2}{v_{n,m}^2}$$

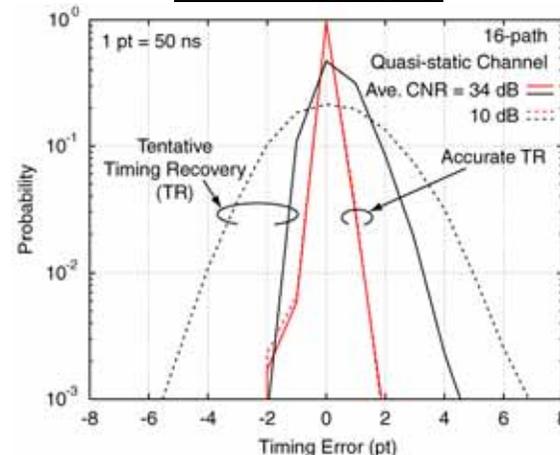


FPGA ボードとモジュール実装



高精度タイミング再生の効果

タイミング誤差分布

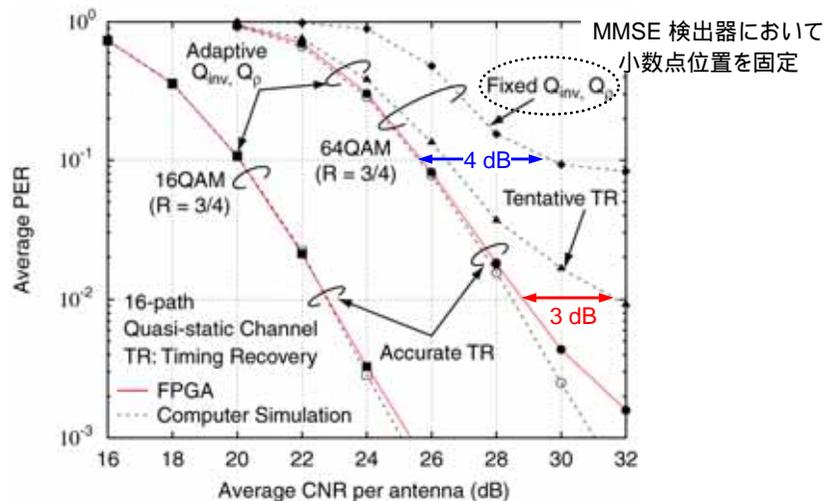


仮タイミング再生における $\alpha = 0.8$

先行波検出における $\beta = 0.7$

➤ CNR によらず 90 % 以上の確率で先行波を検出

パケット誤り率特性



- 高精度タイミング再生により PER = 10^{-2} において 3 dB の改善
- 小数点位置可変により PER = 10^{-1} において 4 dB の改善

回路規模と処理性能

機能	最高動作周波数	回路占有率 (ボードあたり)
送信処理モジュール	140 MHz	9.6 %
受信処理モジュール		41.9 %
タイミング再生器	100 MHz	6.3 %
MMSE 検出器	140 MHz	3.9 %
軟判定ビタビ復号器	270 Mbps × 2	21.3 %
伝送系全体	100 MHz 540 Mbps	51.5 %

最大帯域幅 100 MHz, 伝送速度 540 Mbps を達成

⇒ 4 × 4 MIMO 伝送系を構築すれば
最大 1.08 Gbps の伝送が可能

まとめ

FPGA による MIMO-OFDM 伝送実験系を構築

- 64QAM, $R = 3/4$ のパケット伝送を実現
 - ✓ 先行波検出による高精度タイミング再生器の設計
 - ✓ MMSE 検出器の高精度設計
 - 逆行列演算における小数点位置の適応制御
 - ビット LLR の高精度計算及び量子化
- FPGA ボードによるリアルタイム検証
 - ✓ CNR によらない良好なタイミング特性
 - ✓ 浮動小数点演算からの PER の劣化は 0.5 dB 以内
- 構築した伝送系の処理性能を明らかにした
 - ✓ ボードの 51% を使用, 最大 540 Mbps の伝送速度