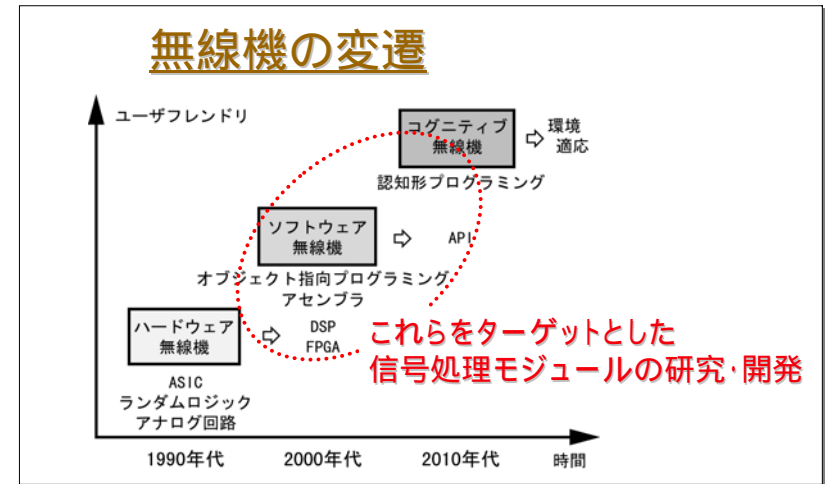


FPGAによるMIMO-OFDM伝送 ベースバンド・シミュレータ

須山 聡, 鈴木 博, 府川 和彦

東京工業大学

研究背景



プログラマブル・デバイスで構成されたプラットフォーム
による信号処理モジュールのリアルタイム検証が必須

従来検討と研究目的

FPGAを用いた研究開発用プラットフォームの構築

DSPによるシングルキャリア・OFDM伝送系の構築

- シングルキャリア伝送系: DFE, MLSE
- OFDM伝送系: 窓関数を用いた等化器
- 数百kbps 程度の伝送速度

FPGAによるOFDM伝送系の構築

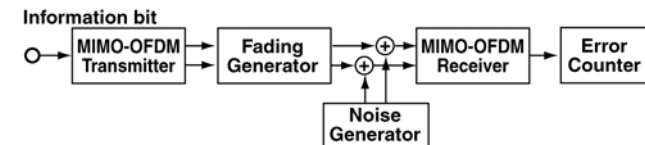
- IEEE802.11a に基づく OFDM 伝送系
- 16パス指数減衰モデルを用いた伝搬路シミュレータ
- 72 Mbpsの伝送速度

更なる高速化

FPGAによるMIMO-OFDM伝送シミュレータの構築

サブキャリア位相ホッピング空間多重(SPH-SDM)の実装

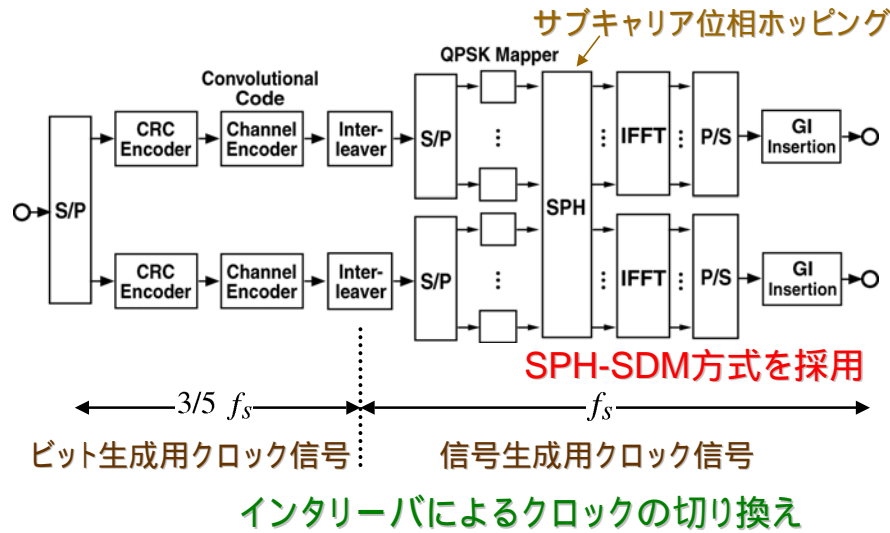
シミュレータの基本仕様



Transmission parameters

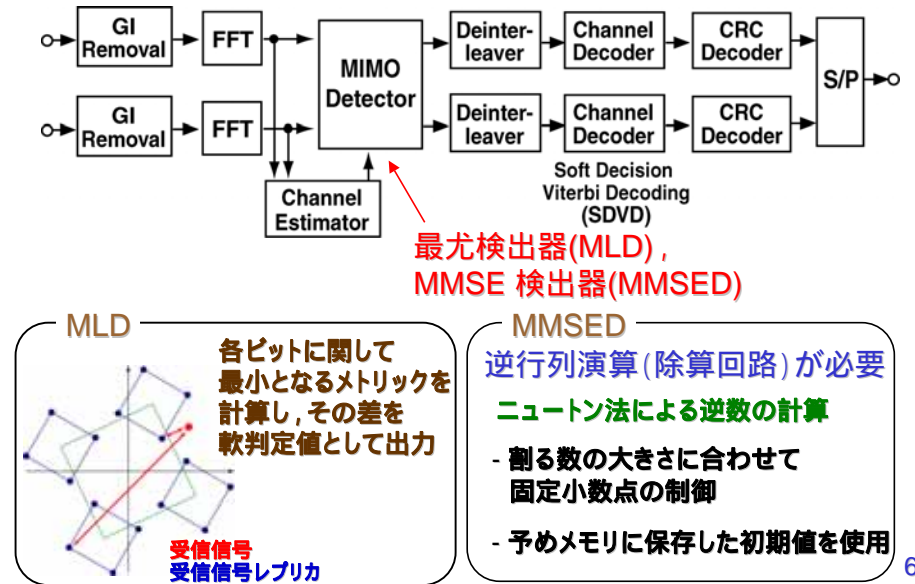
Precision of fixed point	16 bit
Bandwidth	f_s [Hz]
Number of antennas	Transmit: 2, Receive: 2
FFT point	64
Active subcarrier	52 (pilot: 4, data: 48)
Symbol duration	80 pt (GI: 16 pt), $pt = 1/f_s$
Data	10-symbol
Modulation	OFDM / QPSK
Channel coding	$R = 1/2$, $K = 7$ convolutional code
Maximum transmission rate	$3/5 f_s \times 2$ [bps]

MIMO-OFDM送信処理モジュール



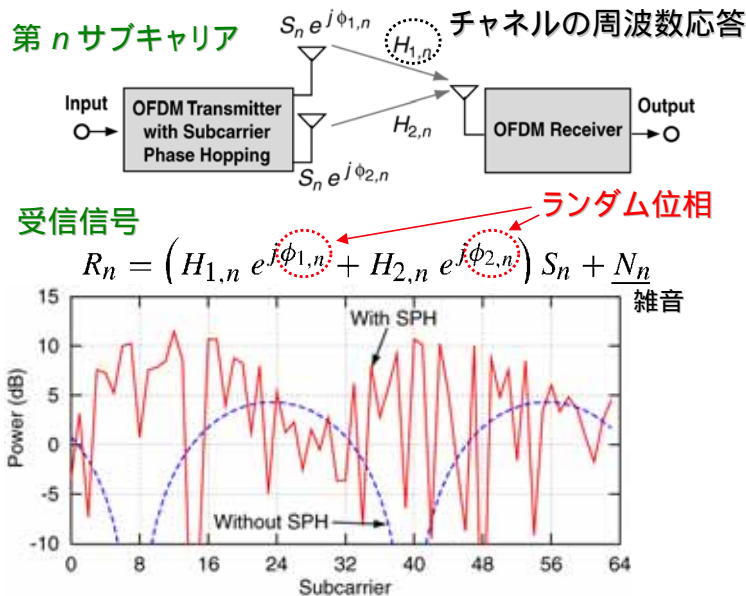
5

MIMO-OFDM受信処理モジュール



6

サブキャリア位相ホッピング



7

サブキャリア位相ホッピング空間多重 (SPH-SDM)

送信信号ベクトル

$$S_{e,n} = \frac{1}{\sqrt{2}} \begin{bmatrix} e^{j\phi_{1,n}} & e^{j\phi_{1,n}} \\ e^{j\phi_{2,n}} & -e^{j\phi_{2,n}} \end{bmatrix} \begin{bmatrix} S_{1,n} \\ S_{2,n} \end{bmatrix}$$

P_n : ランダム位相行列 S_n : 変調信号ベクトル

受信信号ベクトル

$$\mathbf{r}_n = \mathbf{H}_n S_{e,n} + \mathbf{n}_n = \mathbf{H}_n \mathbf{P}_n S_n + \mathbf{n}_n$$

チャンネル行列 雑音ベクトル $H_{e,n}$: 等価チャンネル行列

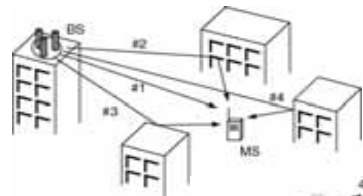
$$\mathbf{H}_n = \begin{bmatrix} H_{11,n} & H_{12,n} \\ H_{21,n} & H_{22,n} \end{bmatrix}$$

各ストリームにおけるサブキャリア位相ホッピング

$$H_{e,n} = \frac{1}{\sqrt{2}} \begin{bmatrix} H_{11,n} e^{j\phi_{1,n}} + H_{12,n} e^{j\phi_{2,n}} & H_{11,n} e^{j\phi_{1,n}} - H_{12,n} e^{j\phi_{2,n}} \\ H_{21,n} e^{j\phi_{1,n}} + H_{22,n} e^{j\phi_{2,n}} & H_{21,n} e^{j\phi_{1,n}} - H_{22,n} e^{j\phi_{2,n}} \end{bmatrix}$$

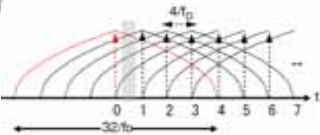
8

フェージング生成モジュール



- 滑らかなフェージング変動
- 様々なパラメタに対応
変動の速さや遅延波の大きさなど

モデル化



各素波が
ドップラー周波数に応じた
時間間隔で生成と消滅

素波(2次元ガウス乱数)の生成 : Box Muller法

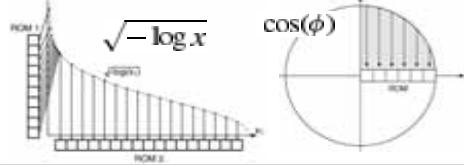
$$\sqrt{-\log x_1} \cos(2\pi x_2)$$

振幅成分

位相成分

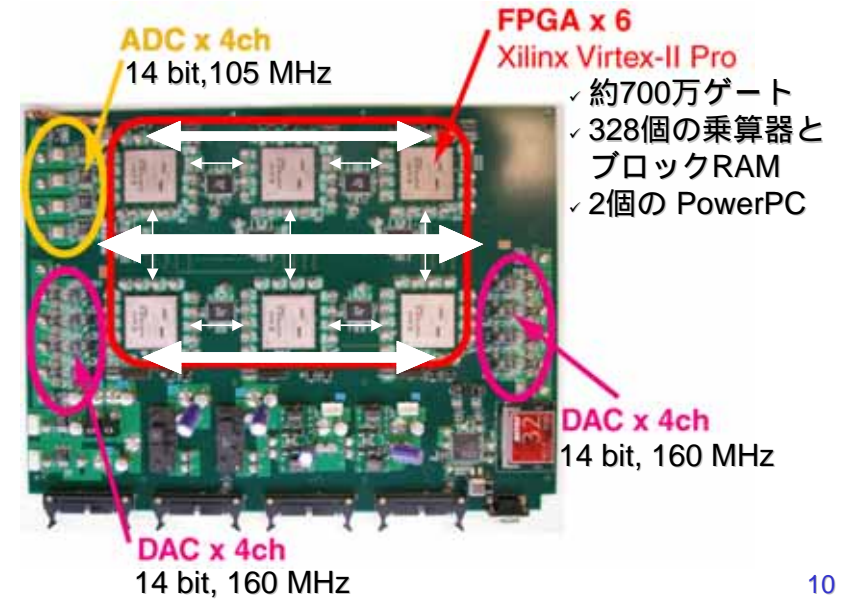
$$\sqrt{-\log x_1} \sin(2\pi x_2)$$

関数 テーブル



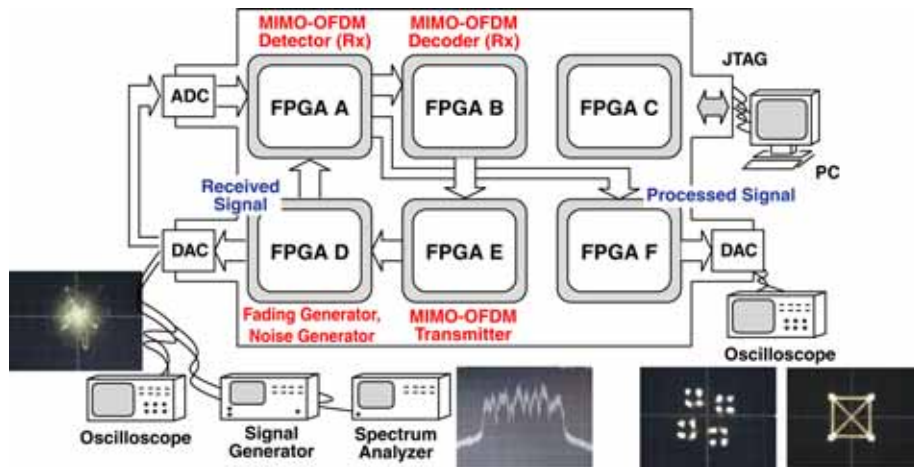
9

高性能・大容量マルチFPGAボード



10

FPGAボードへのモジュール実装



信号処理モジュールの視覚的なデバック・ツール

⇒ 直感的・効率的なアルゴリズムの検証が可能 11

処理性能と回路規模

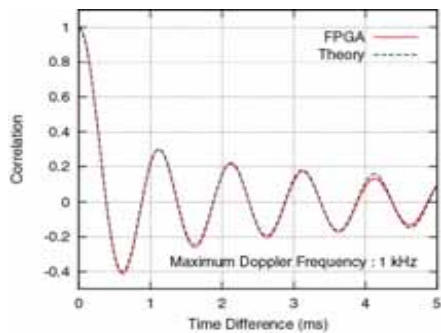
Function	Max. clock frequency	Circuit size (per board)
Transmitter module		
OFDM / QPSK	140 MHz	3.3 %
SPH-SDM for Tx	140 MHz	0.3 %
Fading simulator module		
Fading (4 ch.)	120 MHz	13.3 %
Noise	120 MHz	0.5 %
Receiver module		
		MLD : 15.1 %
		MMSED : 12.9 %
MLD	140 MHz	3.6 %
MMSED	140 MHz	1.5 %
SDVD	115 Mbps × 2	8.3 %
SPH-SDM for Rx	140 MHz	0.6 %
Total		
	120 MHz, 144 Mbps	MLD : 32.5 %
		MMSED : 30.3 %

より高度なアルゴリズムの実装が可能

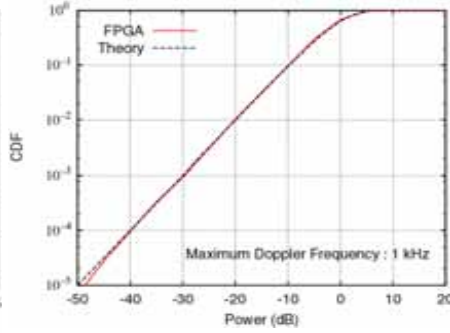
12

フェージング生成モジュールの特性

(a) 時間相関

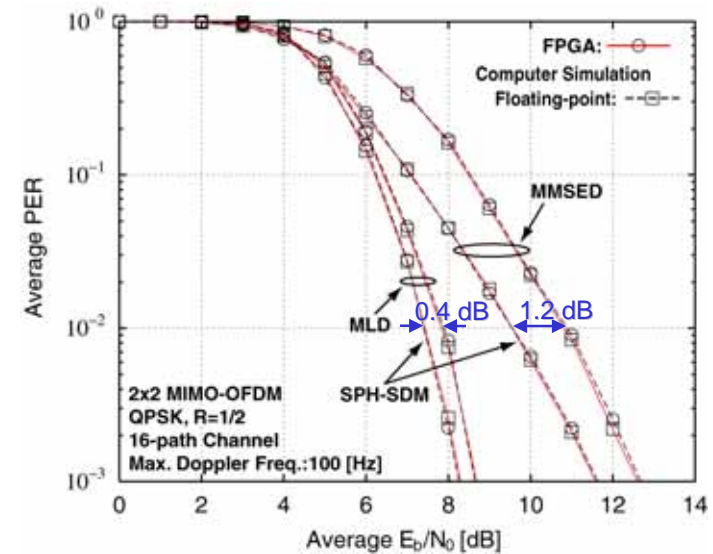


(b) パス電力の累積確率分布



フェージング・チャネルの統計的な性質を高精度に実現できている

シミュレータにより取得した SPH-SDMの packets 誤り率特性



まとめ

FPGAを用いて無線信号処理モジュールをリアルタイムに検証できるMIMO-OFDMシミュレータを製作した

実装したモジュールの構成

- ✓MIMO-OFDM 送受信処理モジュール
- ✓サブキャリア位相ホッピング空間多重モジュール
- ✓実環境に近いフェージング生成モジュール

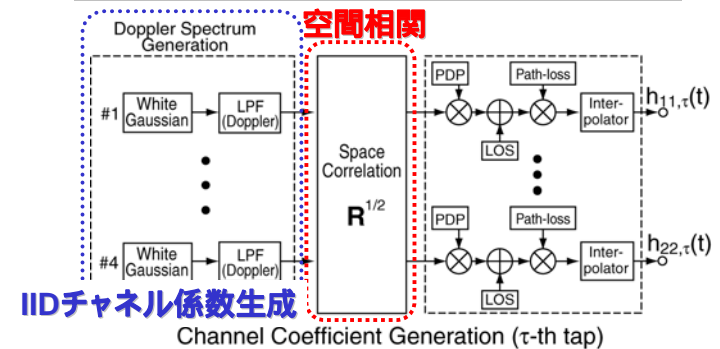
シミュレータのハードウェア構成

6個のFPGA, 4 ch.のADC, 8 ch.のDACを搭載したボード

シミュレータの性能と回路規模

- ✓144 Mbpsの伝送速度を実現
- ✓全リソースの約30%で2x2 MIMO-OFDM伝送系を構築
- ✓SPH-SDMモジュールのリアルタイム検証

IEEE802.11nチャンネルモデル用フェージング生成モジュール



11nチャンネルモデル(一部省略)

- ・クロネッカーモデルによる空間相関
- ・ドップラースペクトラム: 釣り鐘形
- ・複数のクラスタで構成
- ・ラプラス分布の角度広がりを仮定

MODEL	Normalized Delay Spread (pt)	Maximum Delay (pt)
A	0	0
B	1.5	8
C	3	20
D	5	39
E	10	73
F	15	105