

大学が拓くLSIの未来

松澤 昭

東京工業大学大学院
理工学研究科
電子物理工学専攻

2009.04.16

A. Matsuzawa



松澤・岡田研の概要

2

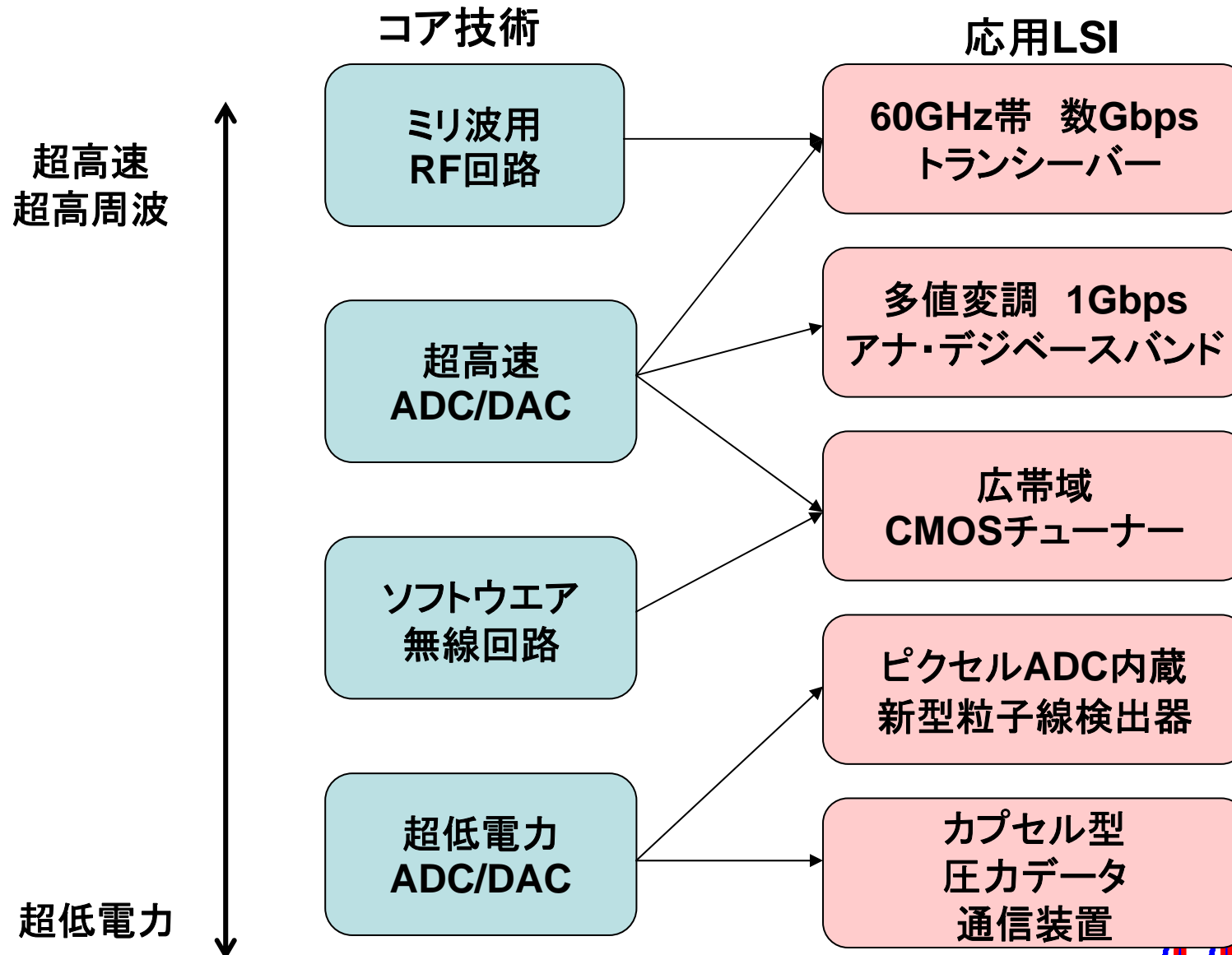
TOKYO TECH
Pursuing Excellence

2004年に発足

- **研究分野**
 - アナログ・デジタル混載LSI設計
 - RF CMOS LSI設計
- **教員**
 - 教授: 松澤昭
 - 准教授: 岡田健一
 - 助教: 宮原正也
 - その他スタッフ: 5名
- **学生**
 - 博士課程: 9名 (内社会人博士2名)
 - 修士課程: 20名
 - 学部4年生: 5名
 - 研究生: 1名
- **研究員: 2名**

- 環境
 - － 設計環境
 - 設計ツールは企業以上の内容
 - VDECにより設計ツールは無料
 - － 試作環境
 - シャトルサービスにより、65nmCMOS程度まで可能
 - アカデミックプライスなどにより格安
- 利点
 - － LSIを開発することで、実際に動作するシステムが実現できる
 - － すぐに利益の出ない分野でも取り組める
 - － 波及効果が1企業の枠を越える
- 課題
 - － 学生が2～3年で入れ替わる
 - － 技術蓄積が困難でレベルが上がらない
 - － 開発日程や品質管理など、学生の管理が困難

松澤・岡田研究室の取組み一覧



ミリ波ブロードバンド通信用

アナログ・RF デジタル混載SoCの開発

Gbpsを超える超高速ADC, DACや、CMOSでの60GHzの超高周波回路の実現はミリ波を用いたブロードバンド通信の実現や、光通信の更なる高速化の重要技術

大学に技術を蓄積することで、様々な方々に技術を使っていただくことが可能になる

総務省からの委託研究

目標：ミリ波ブロードバンド通信の実用化

- ・光とシームレスに接続できる無線システムを開発
- ・方式開発、集積回路開発、システム開発の一体開発

1. 1km程度の中距離伝送 : 40GHz, 1Gbps



図 2 東京工業大学大岡山キャンパスの航空写真

2. 数m程度の短距離伝送 : 60GHz, 10Gbps



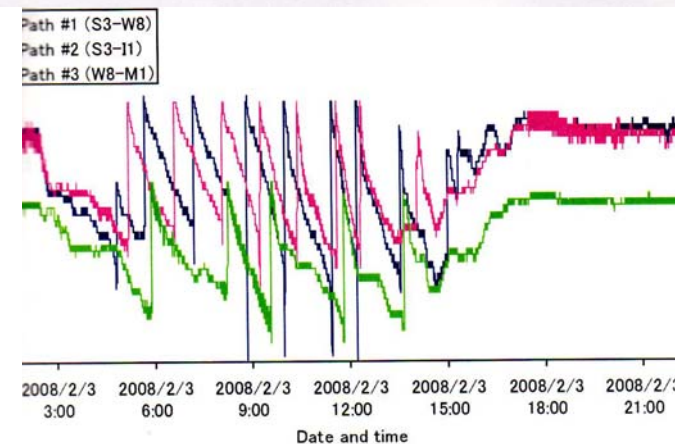
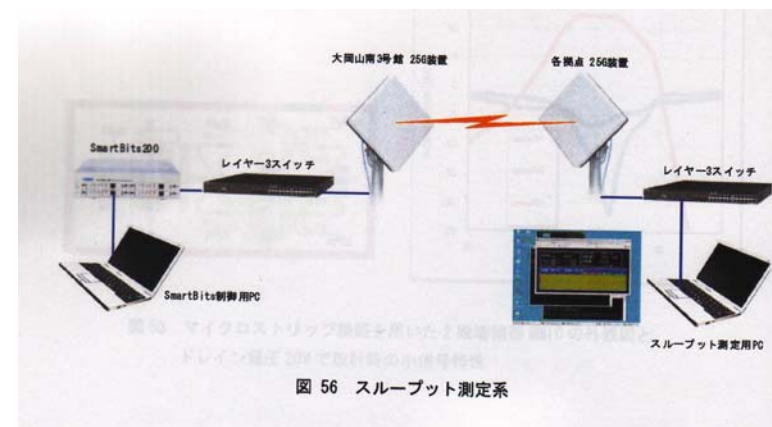
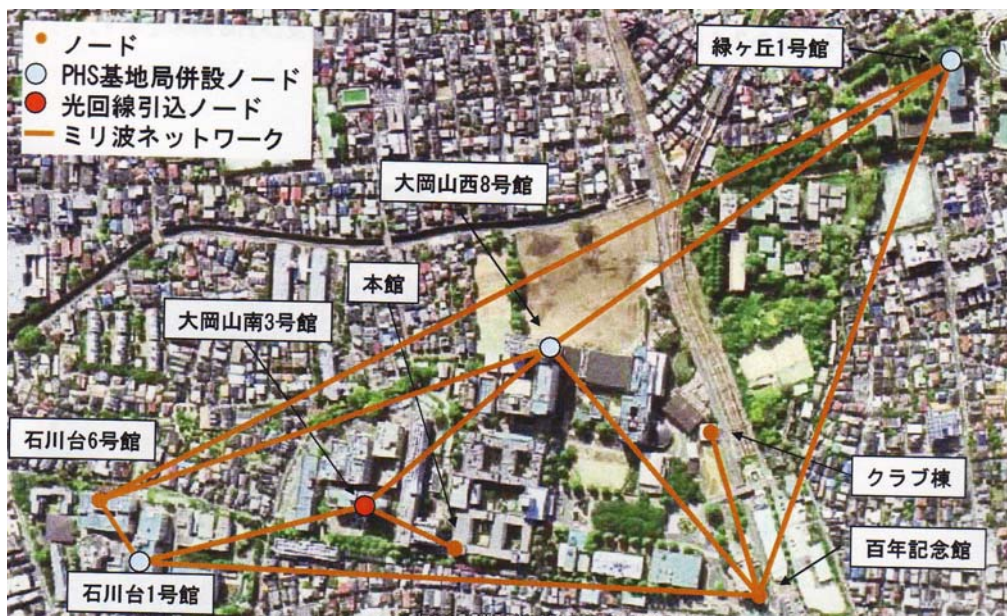
Sony 提供

ミリ波キャンパスネットワーク

ミリ波を用いたネットワークを大岡山キャンパスに設置した。
降雨の影響やその回避策を研究する。
現在は80Mbps程度の伝送レートであるが、集積回路開発などにより
2010年には1Gbpsの高速データ伝送を実現する予定。

大学が新技術のテーマパークとなるべき

-- そこに来れば未来が見える --



(e) 2008年2月3日 (雪。3センチほど積もる)

38GHz帯 600Mbps用SoC,要素回路の開発

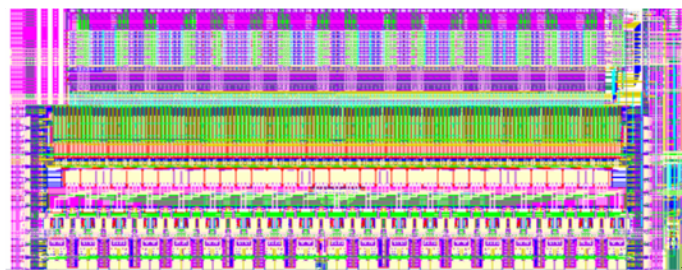
8

TOKYO TECH

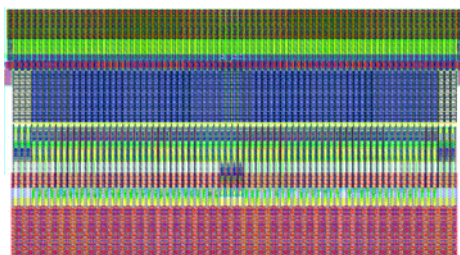
このような超高速ADCは入手困難で、SoCの開発は多額の費用と労力、高度技術が必要

東工大がADC, DACを開発し、JRCがシステム設計を行った

- ・8bit 400Mpsps 補間並列型アナログデジタル変換器(ADC)
 - ・10bit 800Mpsps デジタルアナログ変換器(DAC)
 - ・10bit 50Mpsps 制御用デジタルアナログ変換器(DAC)
- 16QAM: 640Mbps
64QAM: 1Gbps

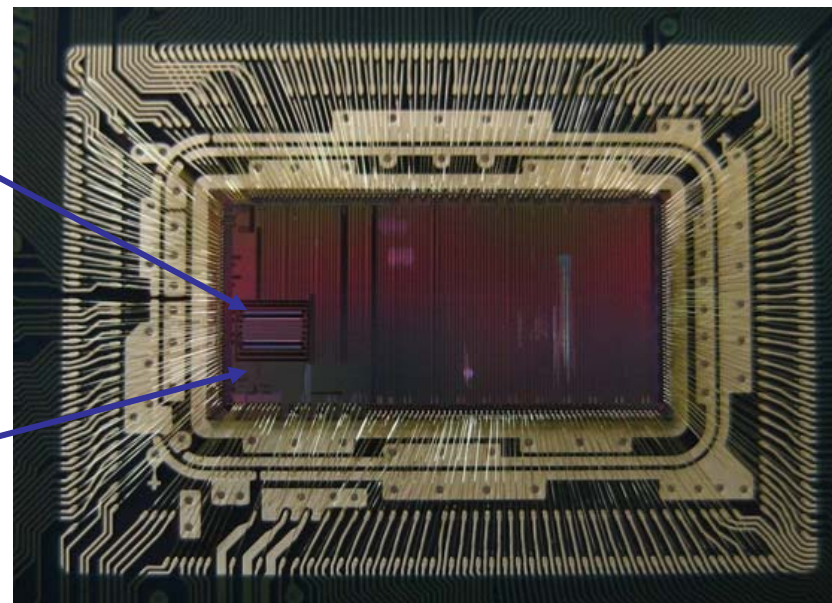


8bit 400Mpsps ADC



10bit 800Mpsps DAC

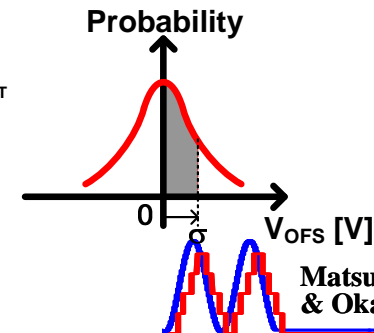
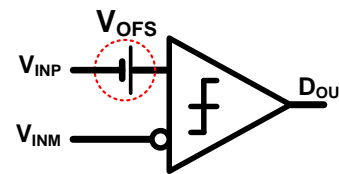
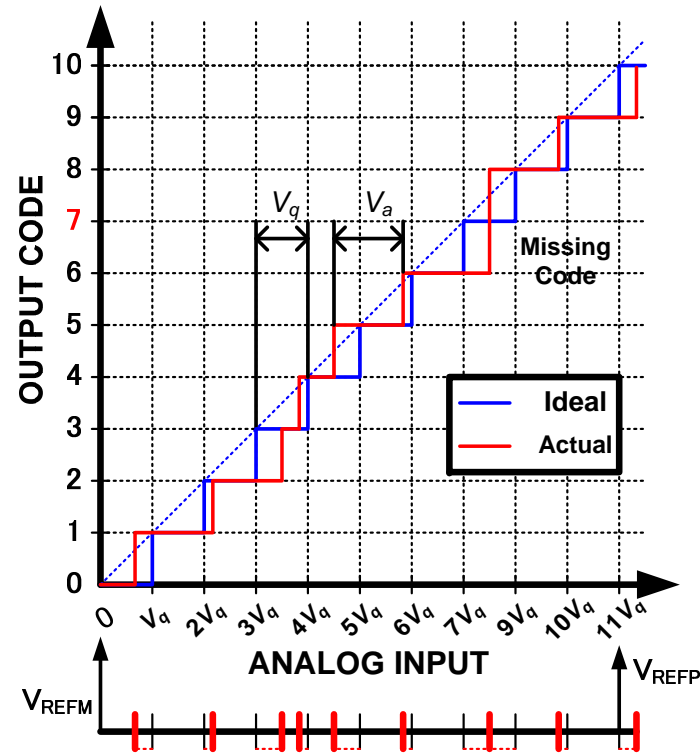
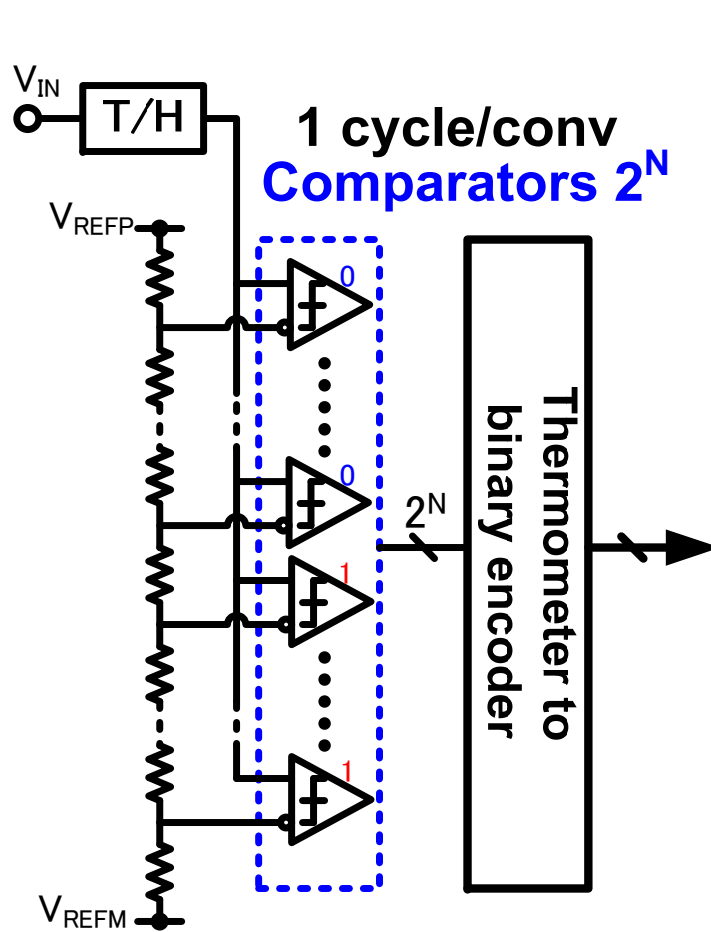
90nm CMOS: 4000万トランジスタ



38GHz, 640Mbps用 アナ・デジ混載SoC

Flash ADC

超高速ADCの基本はフラッシュである。まずは比較器の性能が重要である。



比較器のオフセット電圧と動作エネルギー

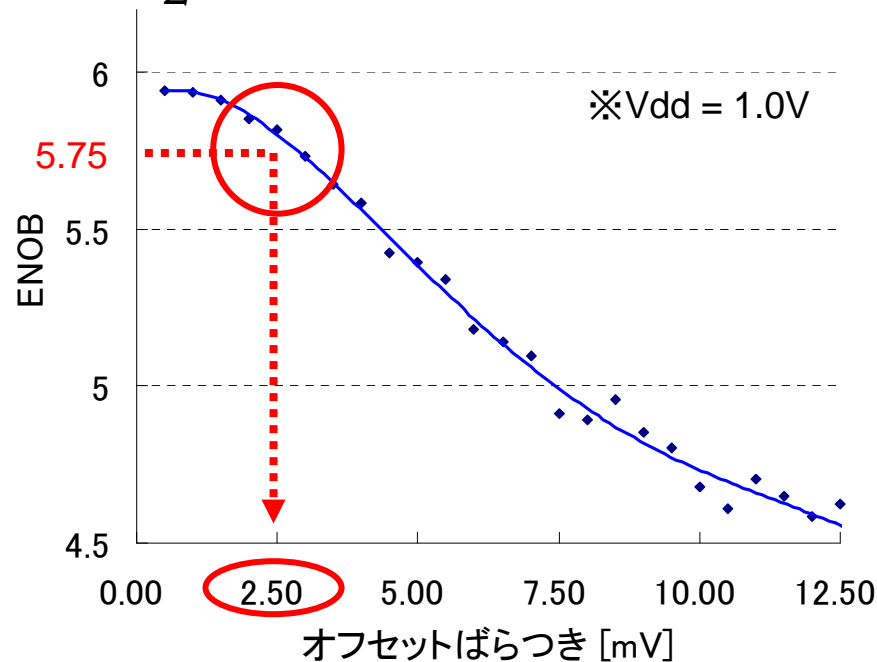
オフセットばらつきにより有効分解能が劣化する

しかしながら、トランジスタサイズを大きくしての対処は消費電力増大を招く。

したがって、サイズを最小にしてオフセット補償により精度を確保することが必要

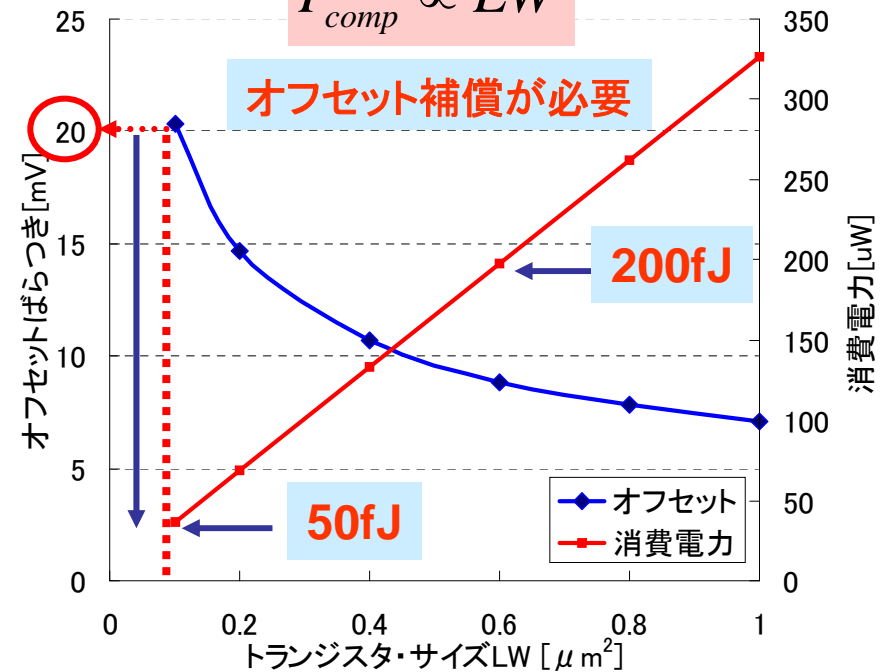
6bit, Flashの例

$$V_q = \frac{V_{FS}}{2^N} \quad V_q = 16\text{mV}, \text{ ミスマッチ} < 3\text{mV}$$



$$V_{offset}(\sigma) \propto \frac{1}{\sqrt{LW}} \quad \text{※90nm CMOS} \\ F_s = 1\text{GS/s}$$

$$P_{comp} \propto LW$$

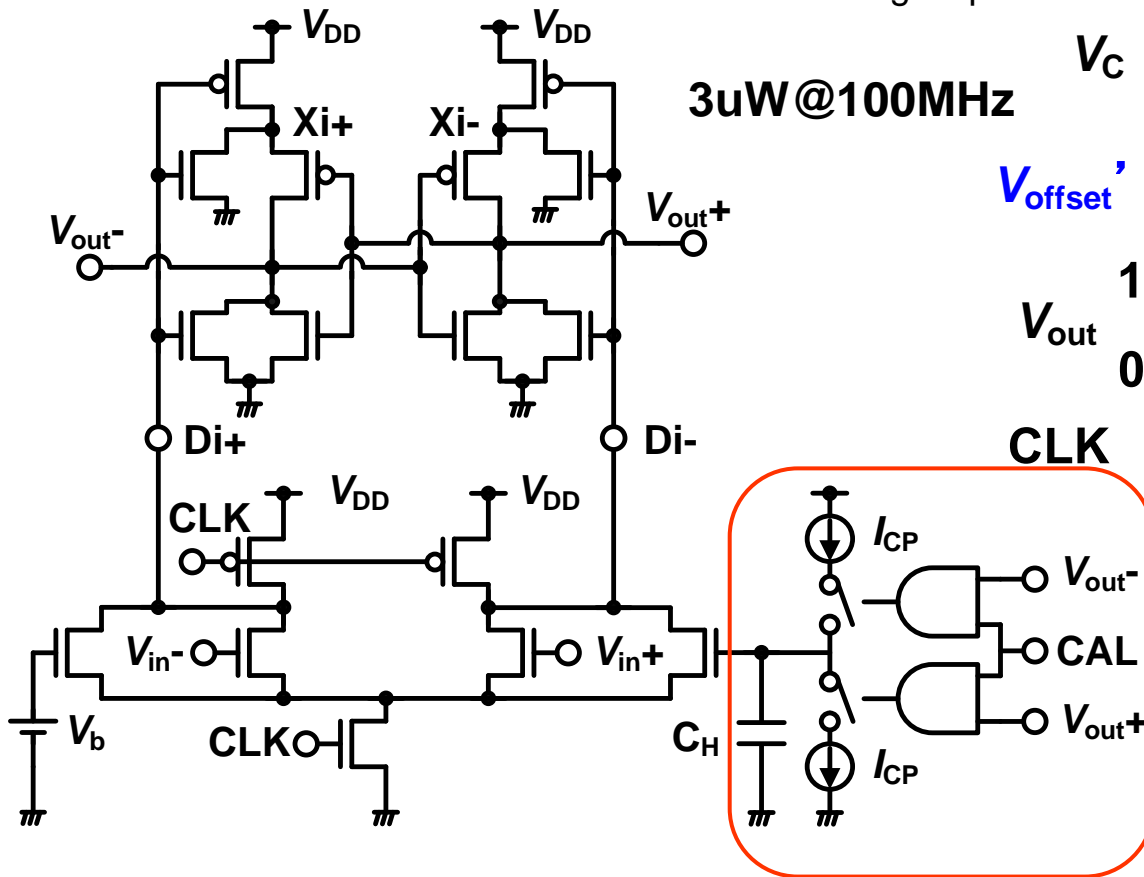


開発したオフセット補償付き比較器

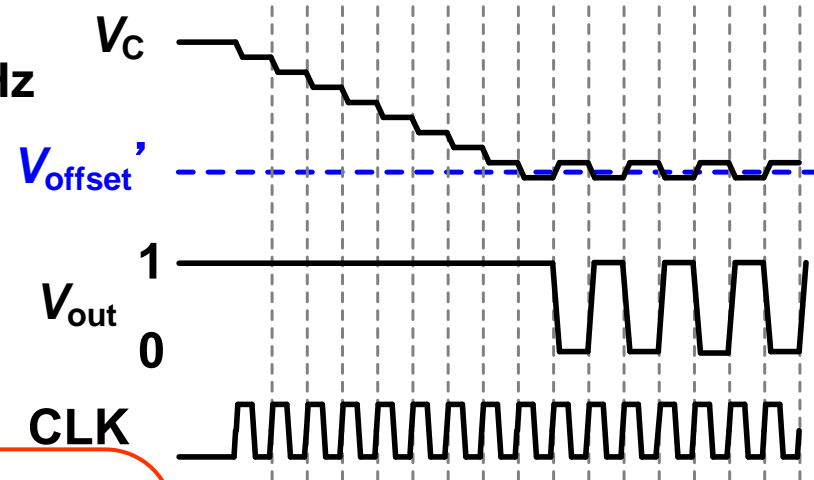
定常電流が流れず、オフセット補償が可能な比較器を開発した

M. Miyahara, Y. Asada, D. Paik, and A. Matsuzawa, "A Low-Noise Self-Calibrating Dynamic Comparator for High-Speed ADCs," A-SSCC, Nov. 2008.

定常電流が流れない回路



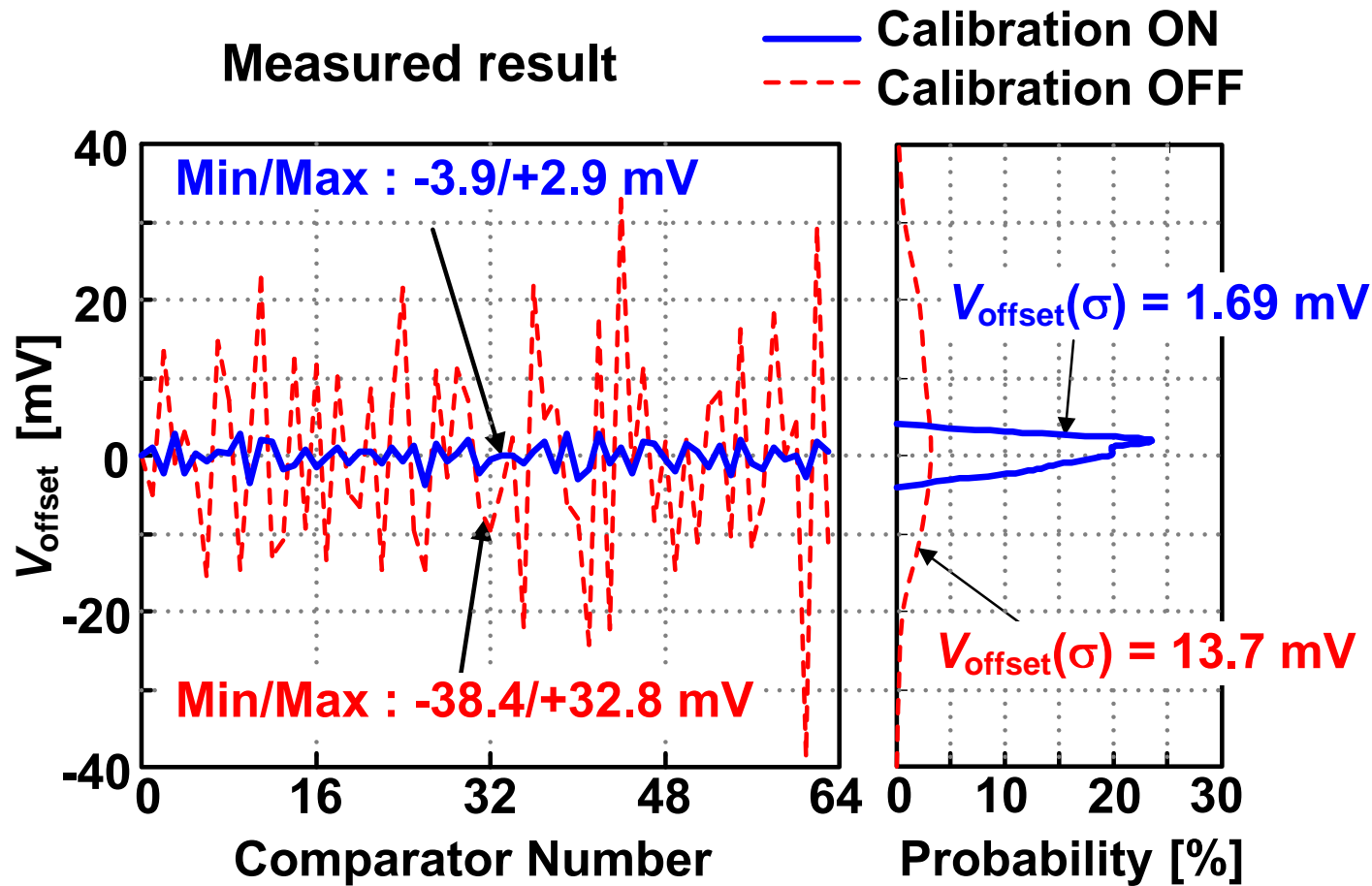
3uW@100MHz



チャージポンプを用いた
オフセット電圧補償回路

オフセット補償結果

13.7 mV のオフセット電圧を1.7mVに低減した



超高速デジタル信号処理技術

デジタルネットワークでは信号をA/D変換した後、波形等価、誤り訂正を行って実効伝送レートを上げている。

光通信でも不可欠になる

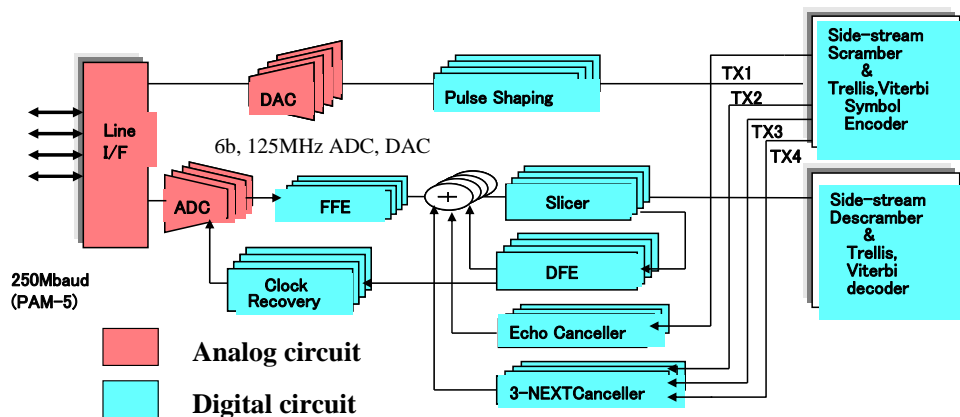
$$NCG = 20 \log \left\{ \frac{\text{erf}^{-1}(2BER_{out})}{\text{erf}^{-1}(2BER_{in})} \right\} + 10 \log R$$

R: Code rate (bit/symbol)

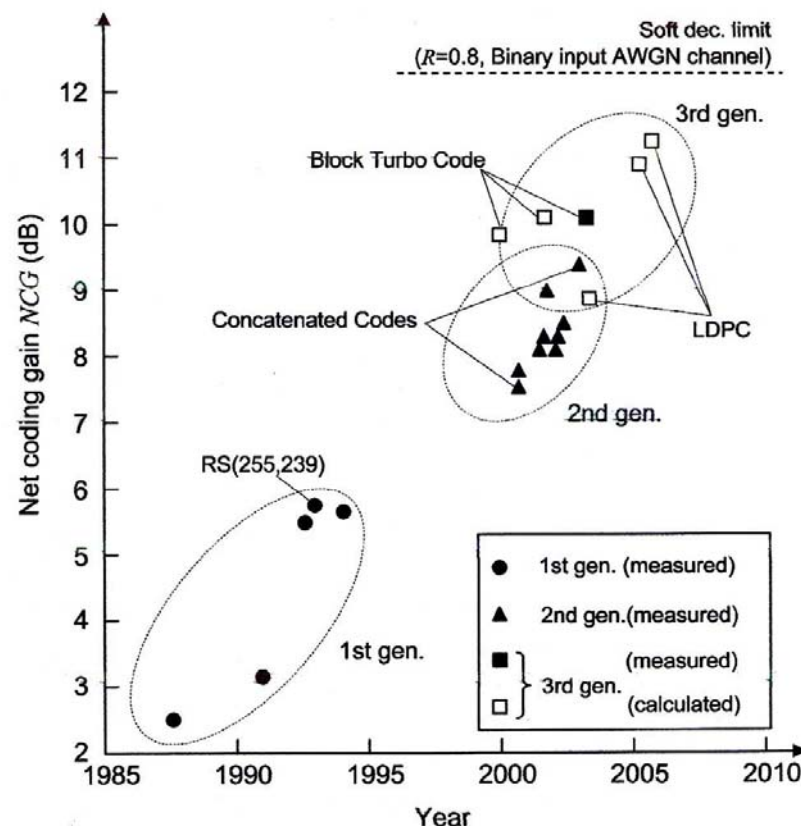


デジタルネットワークの信号処理

Gbit Ethernetの構成



T. Mizuochi, IEEE, JSTQE, Vol. 12, No. 4, pp. 544-554, July/August, 2006.



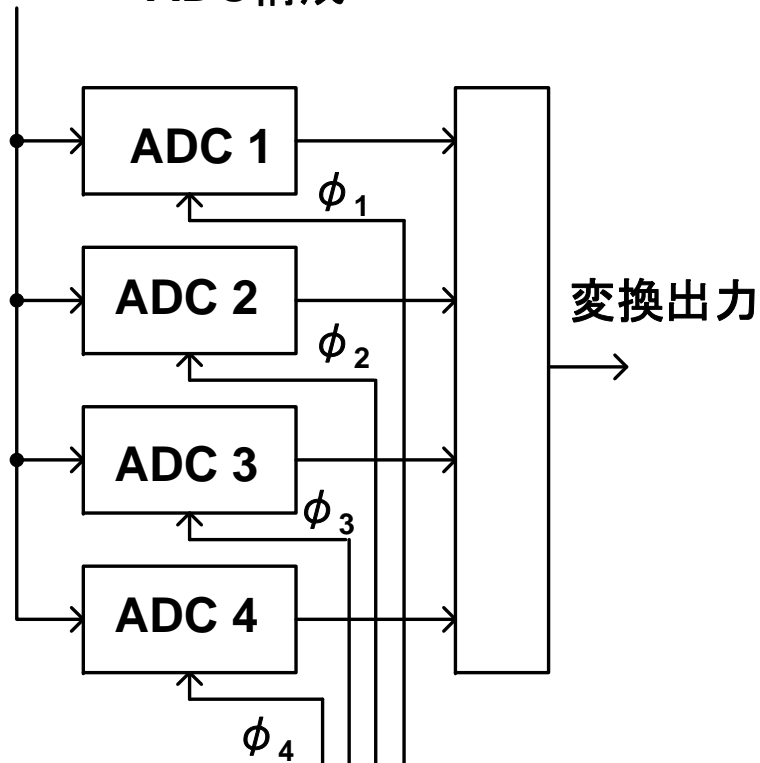
ADCを複数用意し、それぞれのクロックの位相を等間隔で変えることにより
等価的に高速化を図ることができる

ただし、各ADCのオフセット電圧、参照電圧、タイミングを揃える必要がある

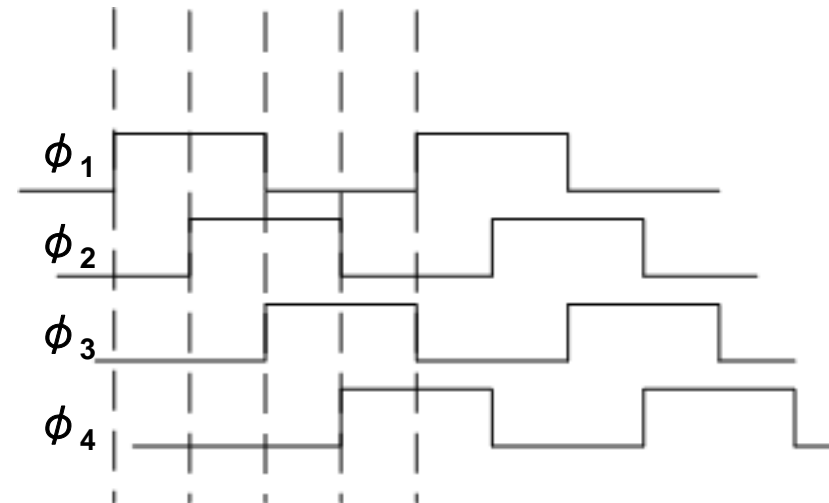
(低電力のSA ADCをたくさん並べても全体の消費電力は増えないだろう、、、)

入力信号

ADC構成

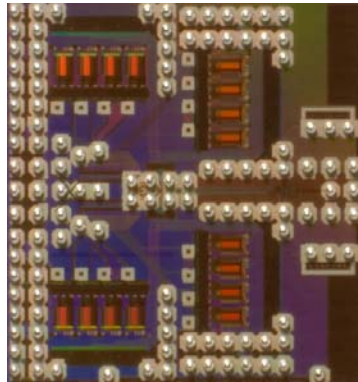


クロックタイミング



今後の展開：光通信用超高速ADCの開発

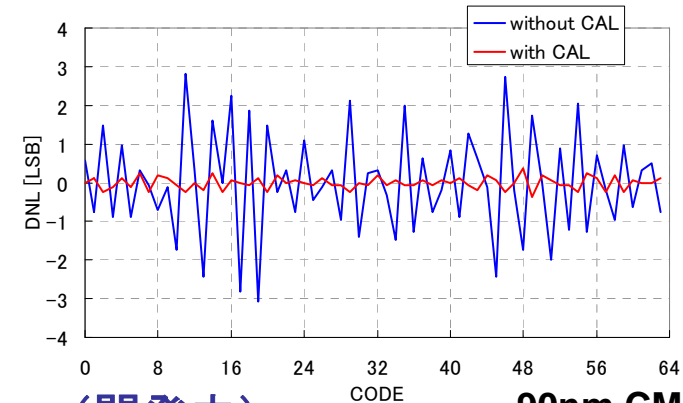
ミリ波用に超高速ADCを改良すれば40Gbps光通信用ADCが実現する可能性がある。



ばらつきを抑える技術を開発

6bit, 24GSps, 1.2W, 16mm²
Nortel & STM, ISSCC 2008.

(開発検討中)



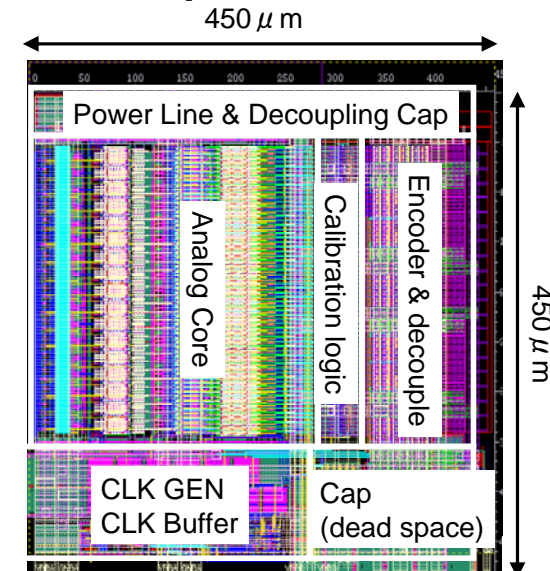
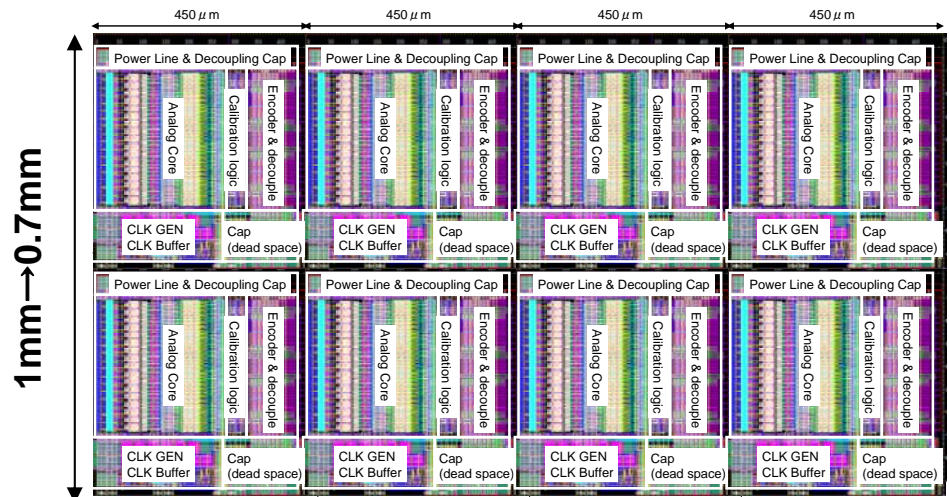
(開発中)

90nm CMOS

6bit, 40GSps, 400mW, 1.5mm², CMOS ADC

6bit, 5GSps, 100mW, CMOS ADC

8相インターリーブ 2mm→1.5mm 65nm CMOS



60GHz屋内システム用集積回路の開発

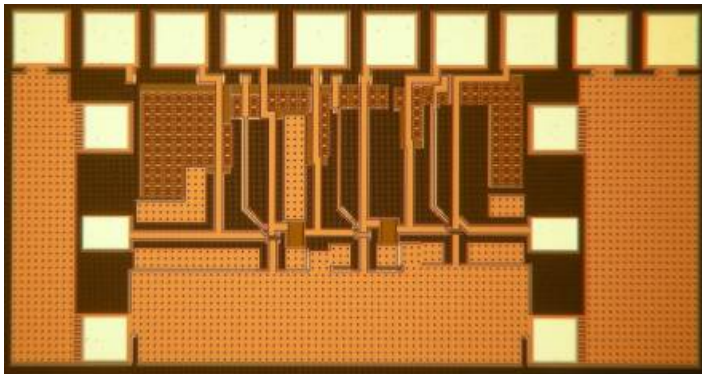
16

TOKYO TECH
University of Science and Technology

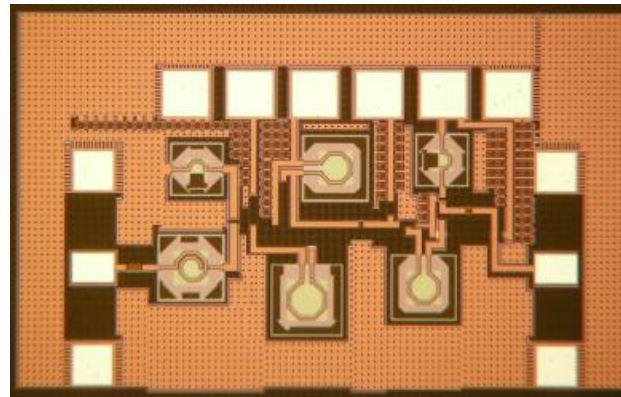
H22年度目標の60GHz, 2.5Gbps伝送システムの実現に向けて、下記要素回路を開発

- ・60GHz PLL (局部発振器用)
- ・60GHz Power Amplifier + Mixer
- ・60GHz Low Noise Amplifier + Mixer

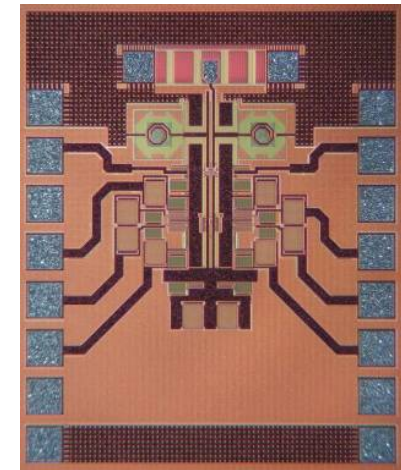
電力増幅器(90nm)



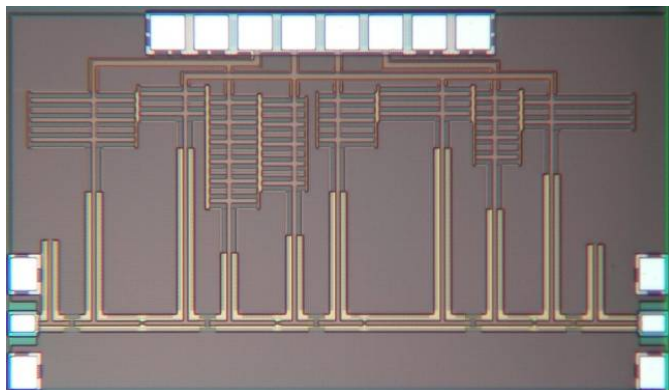
低雑音増幅器(90nm)



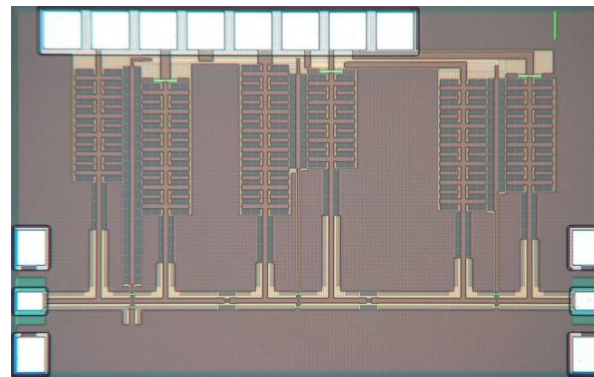
電圧制御発振器(90nm)



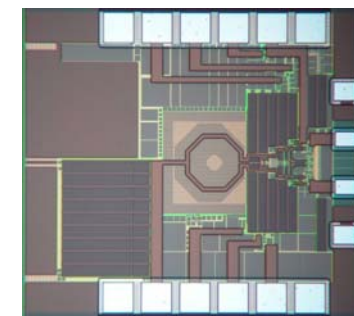
電力増幅器(65nm)



低雑音増幅器(65nm)



電圧制御発振器(65nm)



2009.04.16

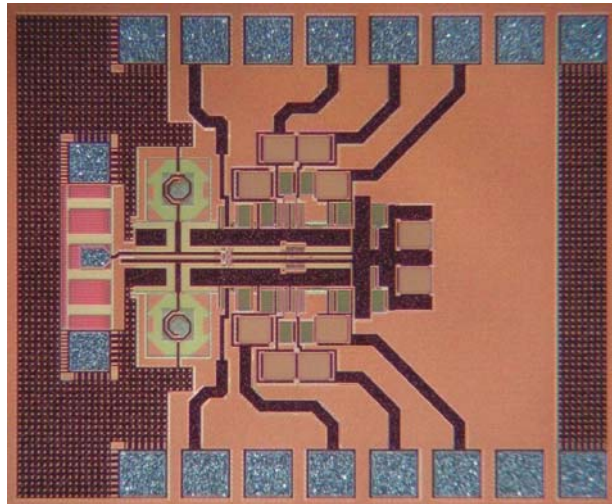
A. Matsuzawa

60GHz帯VCO とPAの開発



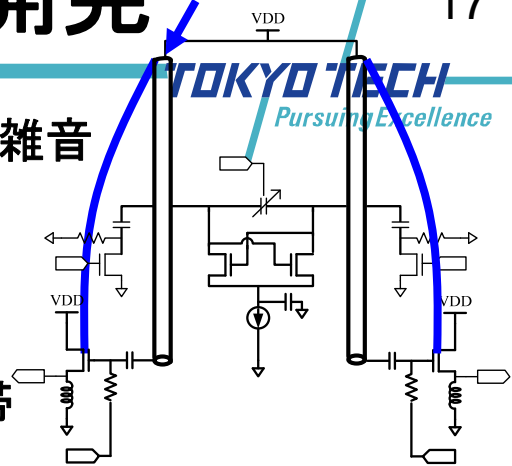
電圧制御発振器(90nm)

分布定数線路発振器により高周波・低雑音

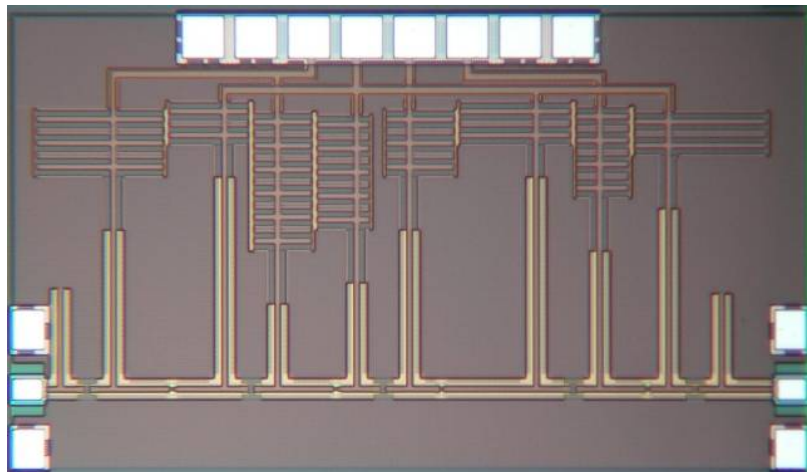


-116dBc/Hz
10MHz offset @66GHz

整合回路の最適化により60GHz帯のPAを実現

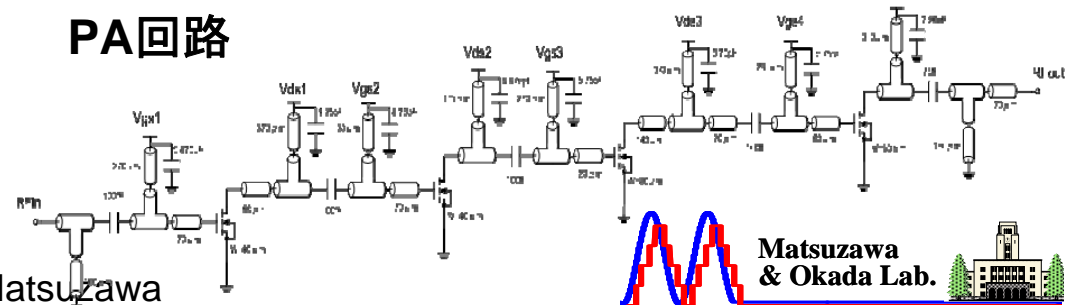


電力増幅器(65nm)



	[1] Toronto	[2] NEC	[3] UCB	[4] FUJITSU	This work
Technology	90nm CMOS	90nm CMOS	90nm CMOS	90nm CMOS	65nm CMOS
Freq. [GHz]	61	60	60	60	61.5
Gain [dB]	5.2	15.2	5.6	8.3	17.0
Psat [dBm]	9.3	11.5	12.3	10.6	12
P1dB [dBm]	6.4	10.5	9.0	8.2	6.9
PAE [%]	7.4	8.5	8.8	2.6	3.9
Power [mW]	1.5V x 26.5mA	1.0V x 150mA	1.0V x 65mA?	1.2V x 190.5mA	1.2V x 100mA

PA回路



医療用マイクロカプセルの開発

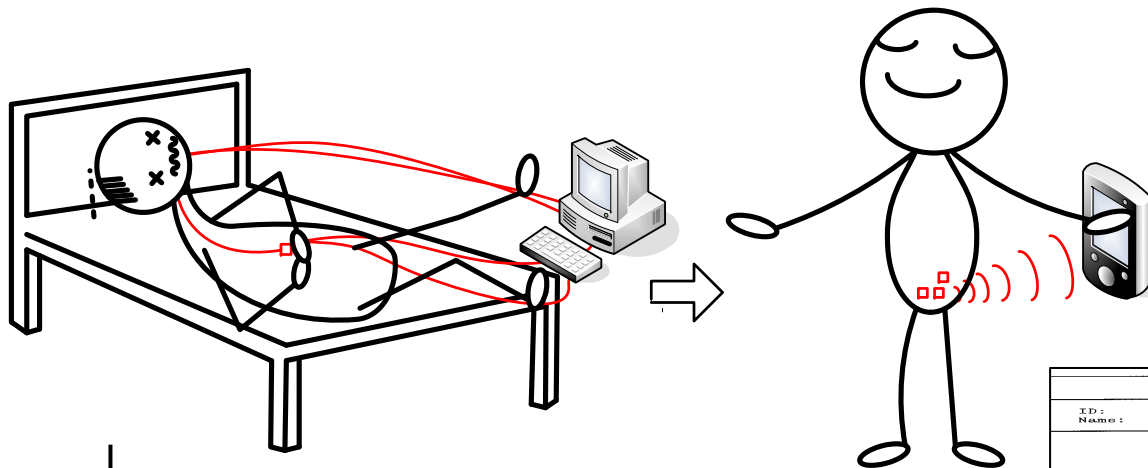
膀胱内圧測定用 センサーテレメトリーLSIの開発

医療カプセルの実現には超低電力LSIの開発が必要であるが、メーカーは市場が小さく、時間がかかる開発はしない。しかし、人類の幸福のためには必要なので、大学がLSIを開発して、機器を実現したい。

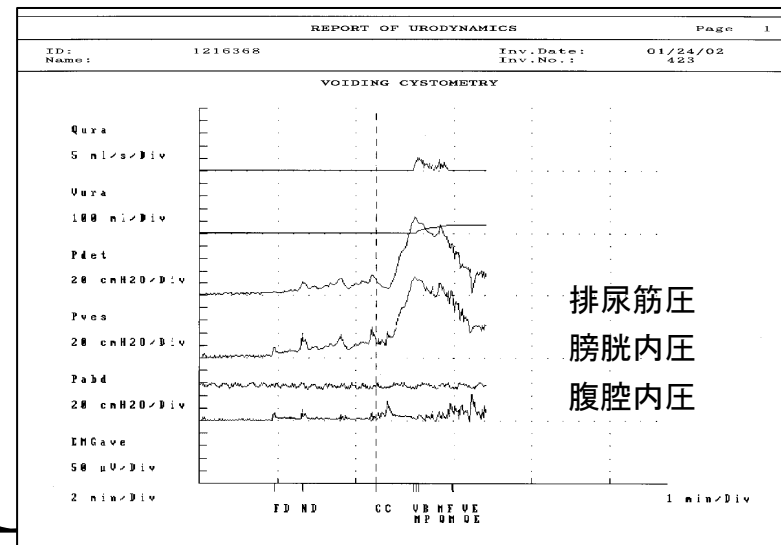
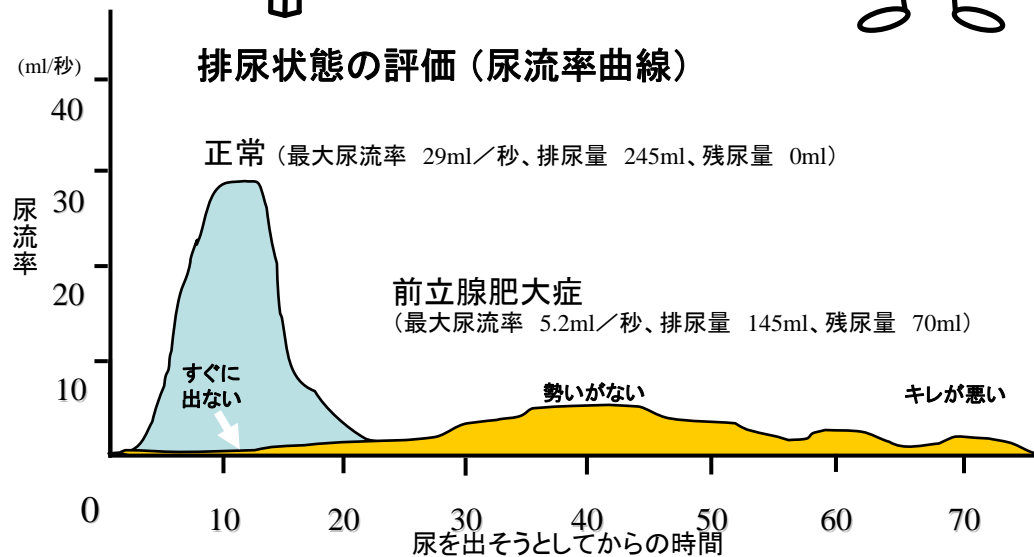
(財)関西文化学術研究都市推進機構
医療用汎用SoCデバイスの開発

膀胱内圧の測定

前立腺手術前に3日間に亘って膀胱内圧の測定が必要
現在は入院し、尿道から管を入れて測定しているが、患者負担が大きい。



奈良県立医大 平尾教授より

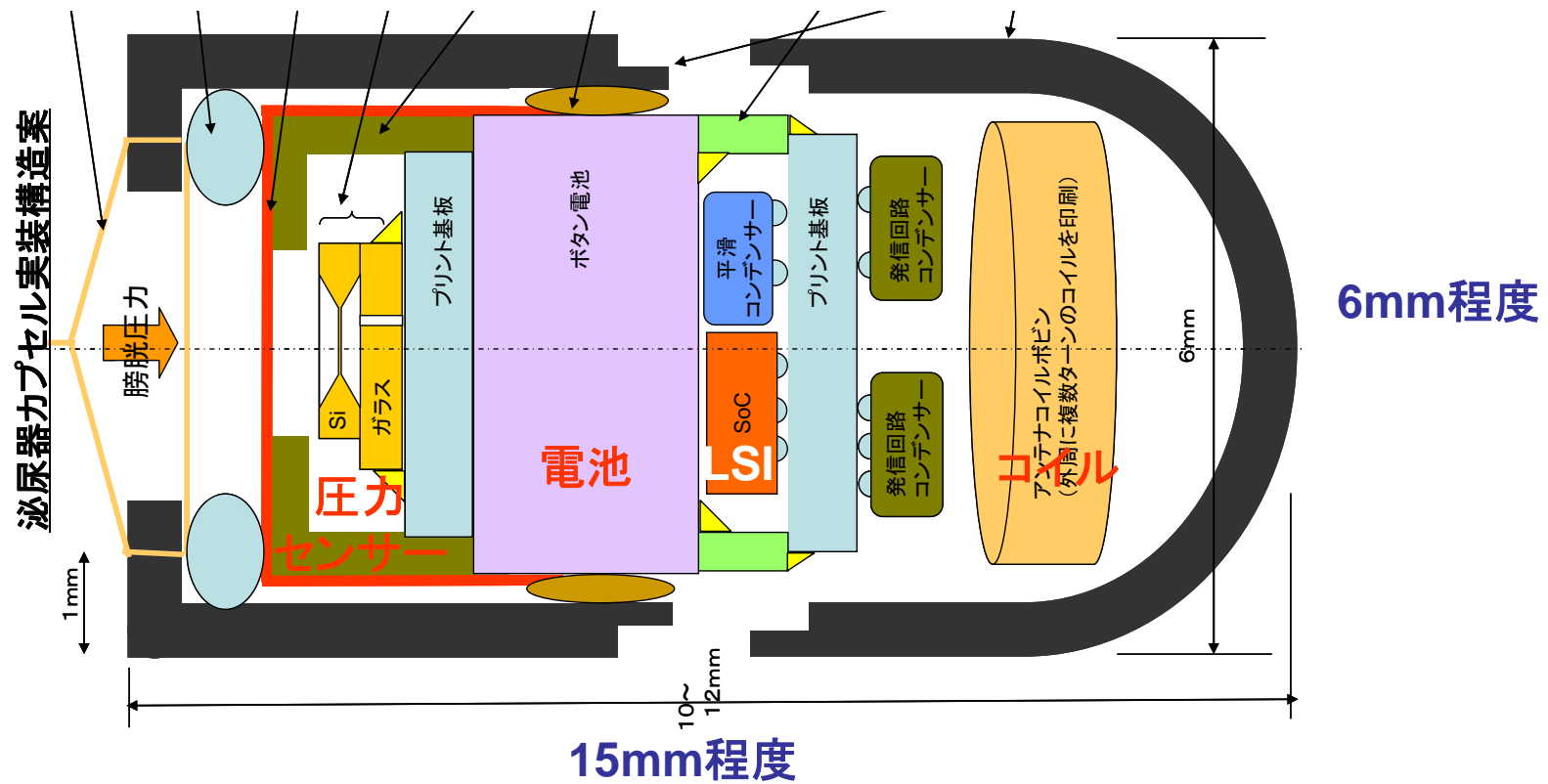


膀胱内圧測定カプセル

20

TOKYO TECH
Pursuing Excellence

膀胱内圧を測定し、外部に送信するシステム



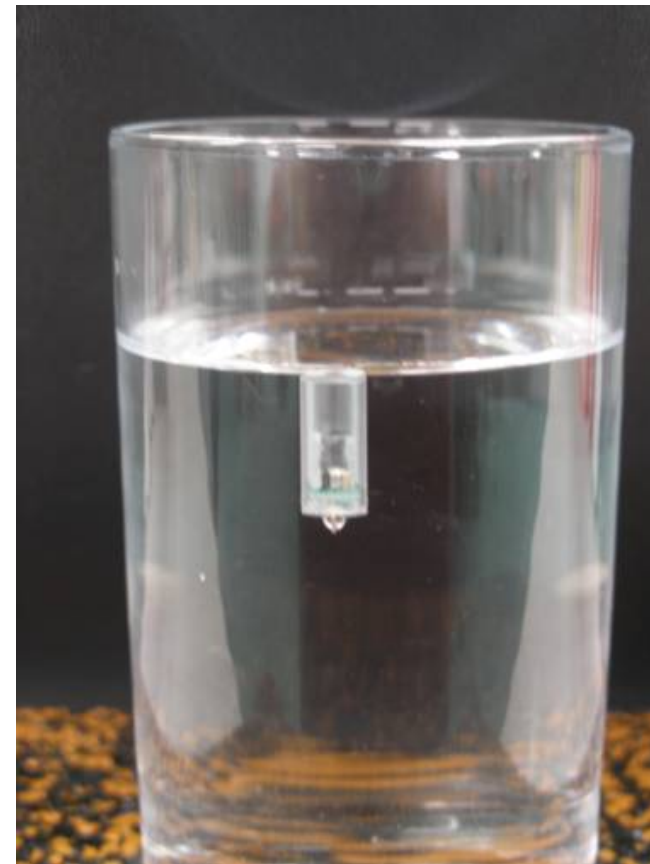
カプセルの試作と実験

21

TOKYO TECH
Pursuing Excellence

カプセルを試作し、膀胱の中に浮かぶかどうかを実験した。

(株)マイクロニクス提供



チップの概要

22

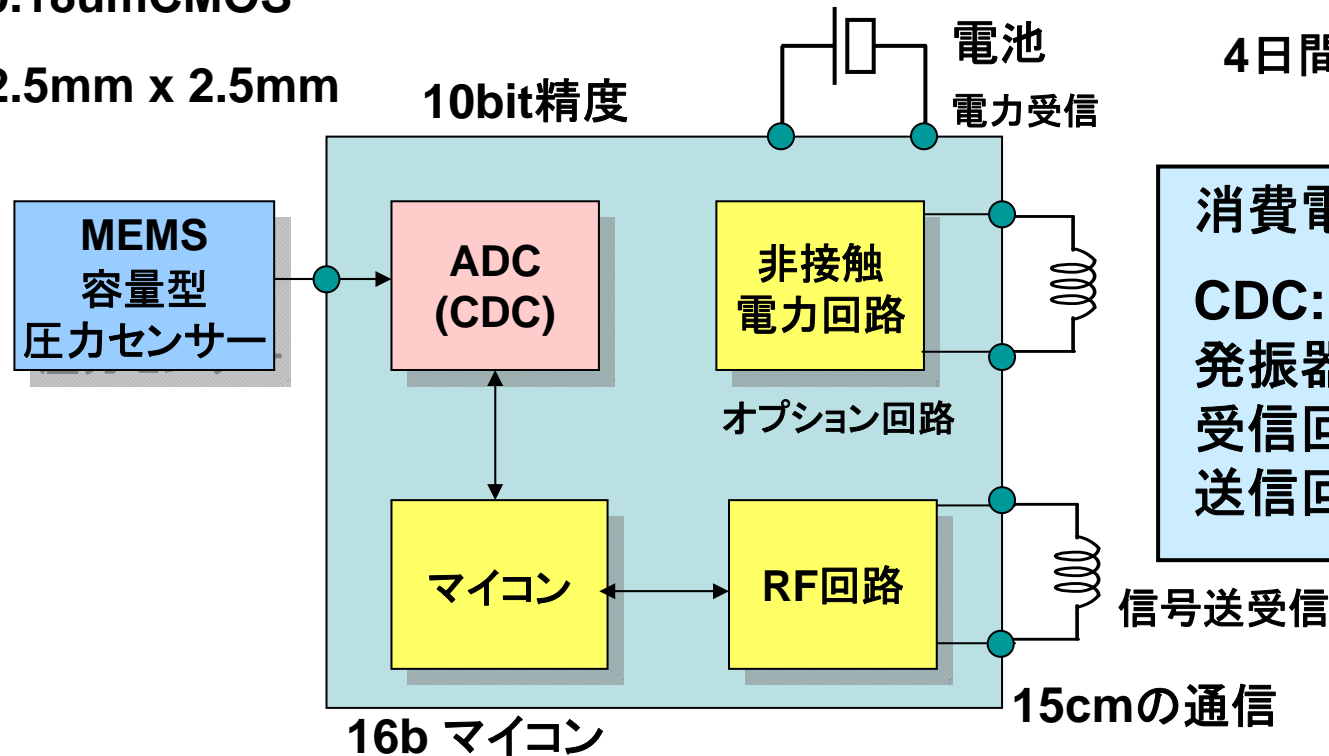
圧力(容量値)をデジタル変換し、データを30回/秒、15cm通信するチップ。
アナログ部分の消費電流は13uA程度で動作する。

0.18umCMOS

2.5mm x 2.5mm

1.55V, 12mAh, 4.8φ, 2.1H, 0.17g

4日間: 96h → 125uA
消費電流内訳



消費電流 100uA以下
CDC: 0.2uA @30Hz
発振器: 8uA
受信回路: 4uA
送信回路: 0.2uA

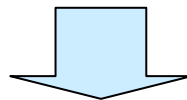
阪大、今井研の開発

30回/秒の送信 13.5MHz, ASK, CDMA

これまでのやり方

- C/Freq converter & FM <4mW
- C/Volt converter & ADC
- C/Digit converter ($\Delta\Sigma$ type) <4.25mW

これらはいずれも電力消費が大きい



逐次比較技術を用いて消費電力を徹底的に下げる

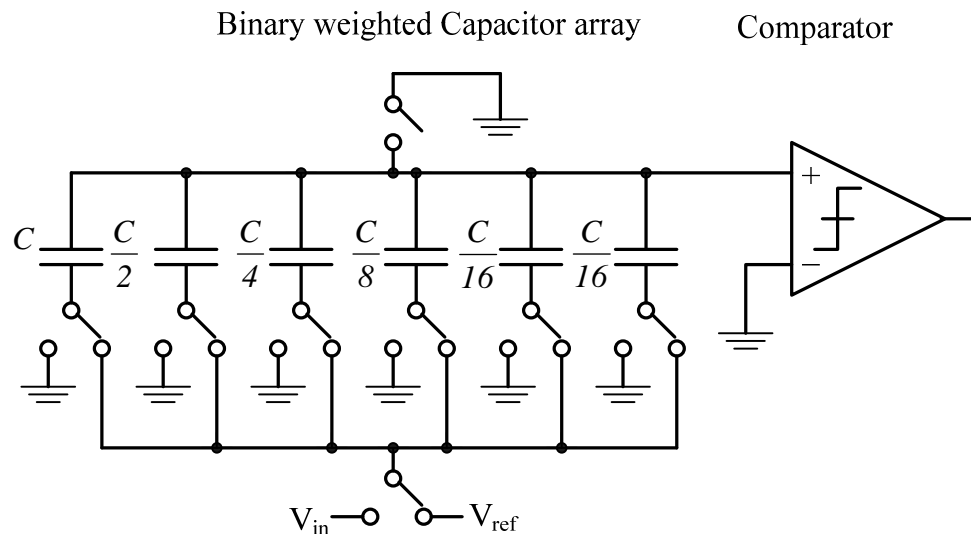
逐次比較型(SA) ADC

24

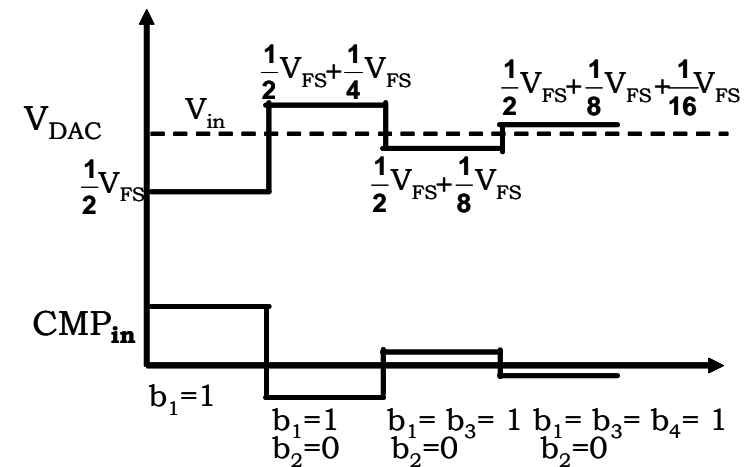
SA ADCはOPアンプを用いず、スイッチ、容量、比較器のみで演算する。

- OpAmpを用いないので低電力
- 比較器が1つなので低電力
- ダイナミック型比較器を用いると定常電流が流れず低電力
- 参照抵抗が無いので低電力

欠点: Nビット変換に約(N+2)クロック必要なため変換速度が遅くなる



Binary search algorithm



SAR C/D converter

25

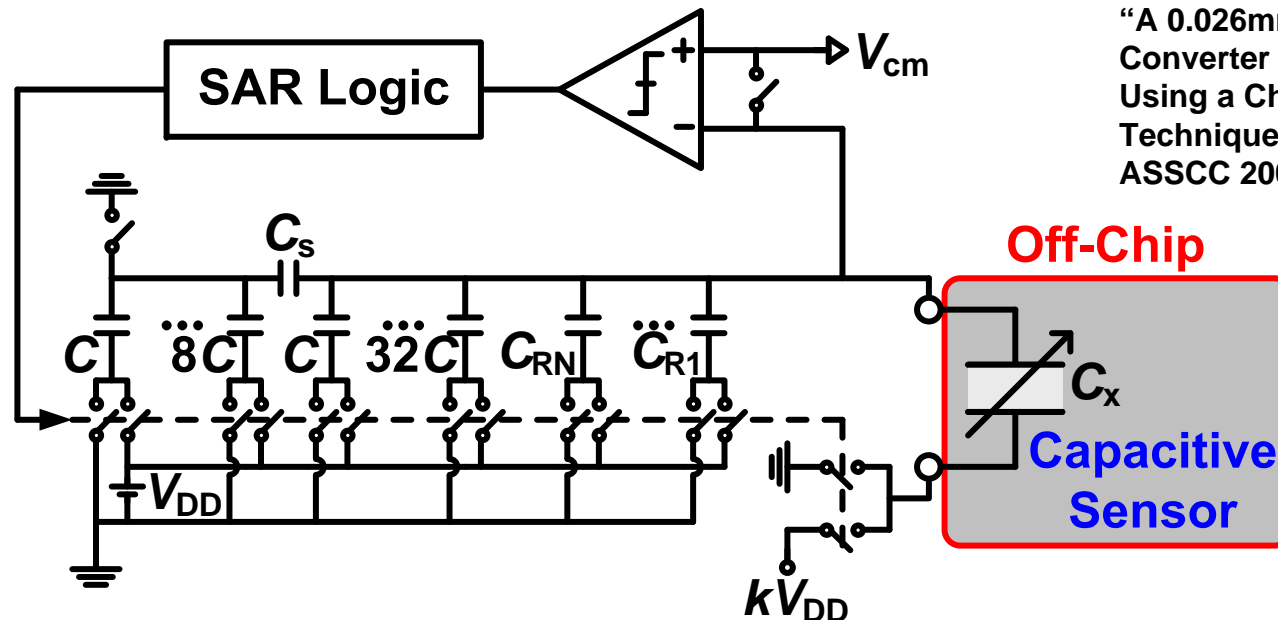
TOKYO TECH
Pursuing Excellence

逐次比較型 (SAR) ADC+容量型圧力センサー

- 低電力 (No OpAmp)
- 容量センサーのオフセット容量の補償が可能
- 小面積
- 電源電圧変動に不感

Kota Tanaka, Yasuhide Kuramochi,
Takashi Kurashina, Kenichi Okada,
and Akira Matsuzawa

“A 0.026mm² Capacitance-to-Digital
Converter for Biotelemetry Applications
Using a Charge Redistribution
Technique”
ASSCC 2007

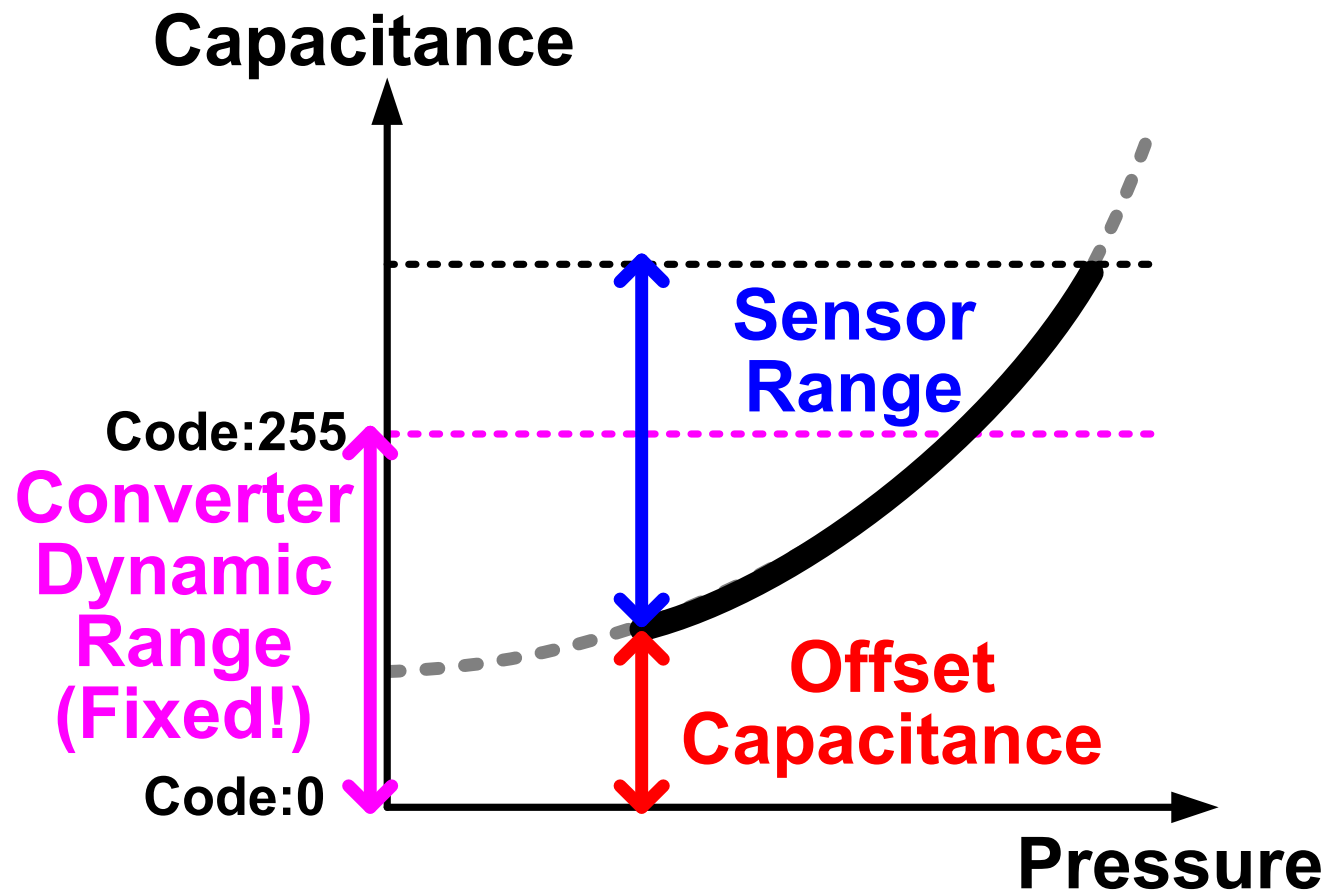


センサーインターフェースの課題

26

TOKYO TECH
Pursuing Excellence

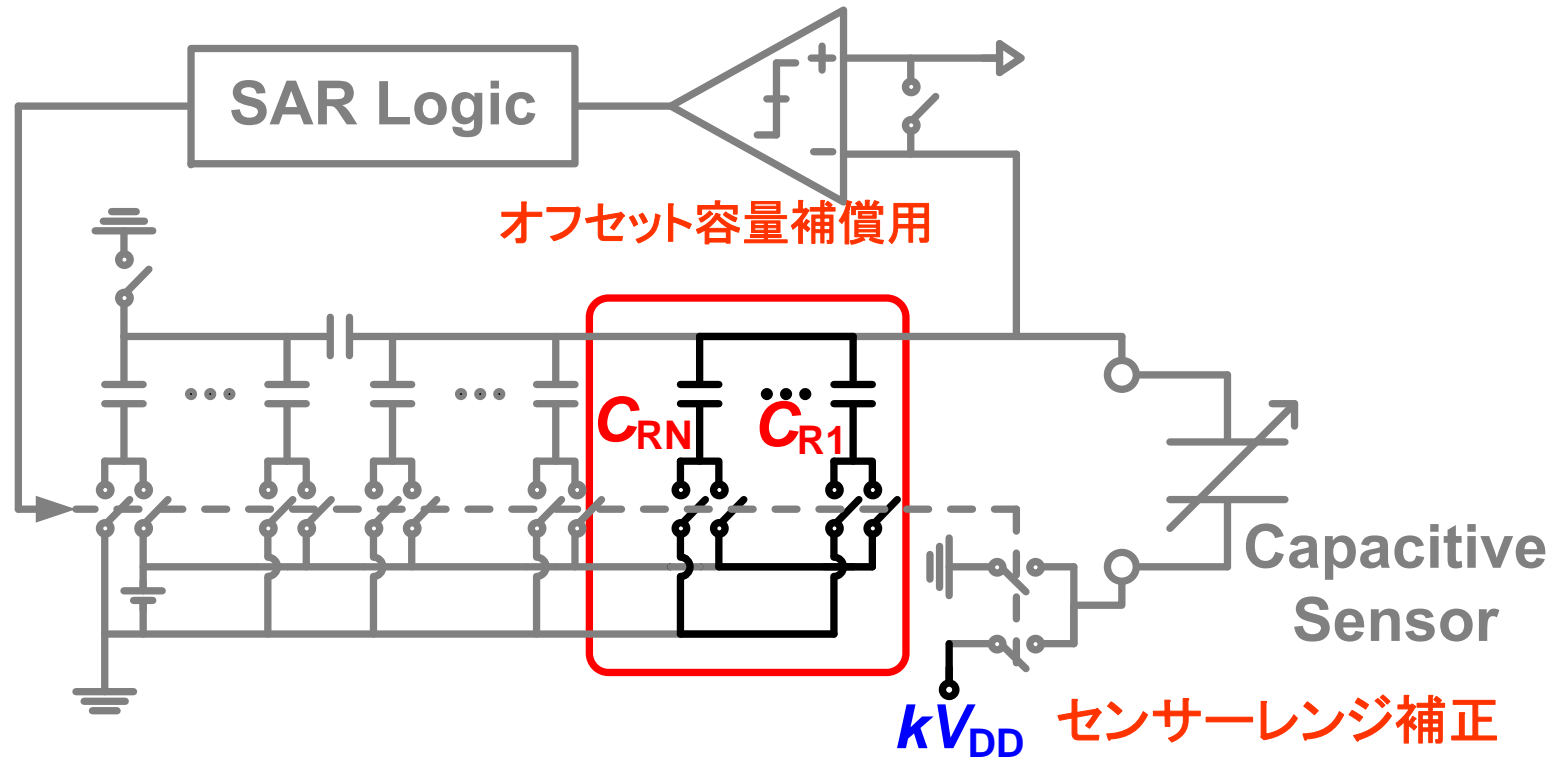
- ・オフセット容量がある
- ・ADCの変換レンジとセンサーの変換レンジが合っていない



解決策

27

オフセット補償容量を組み込み、参照電圧をスケールリングする。

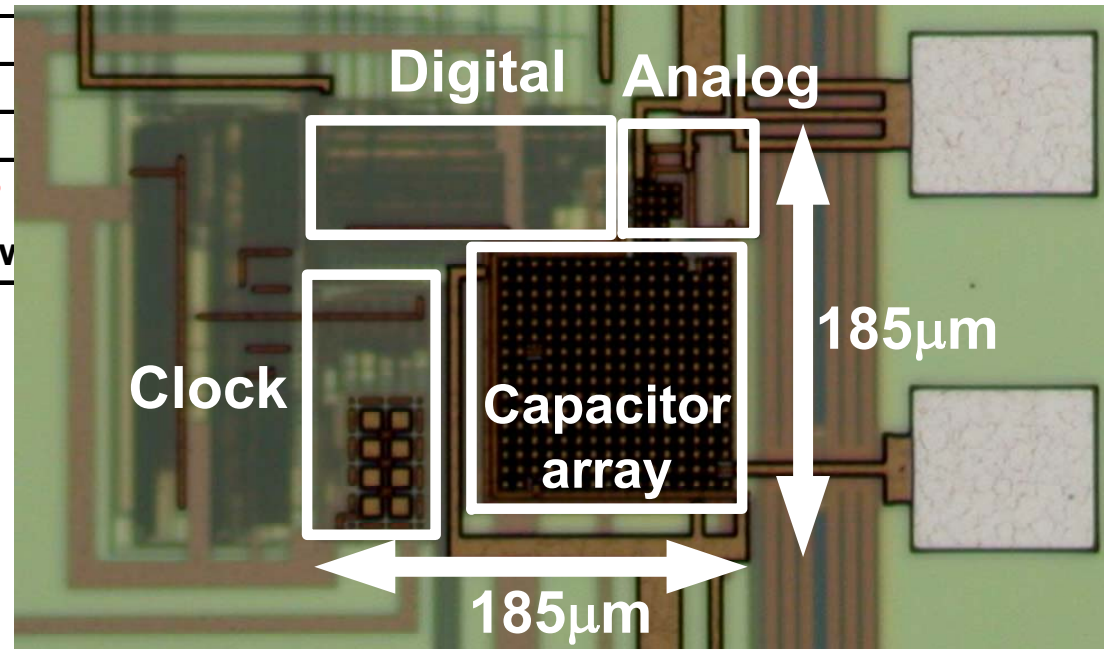


評価結果

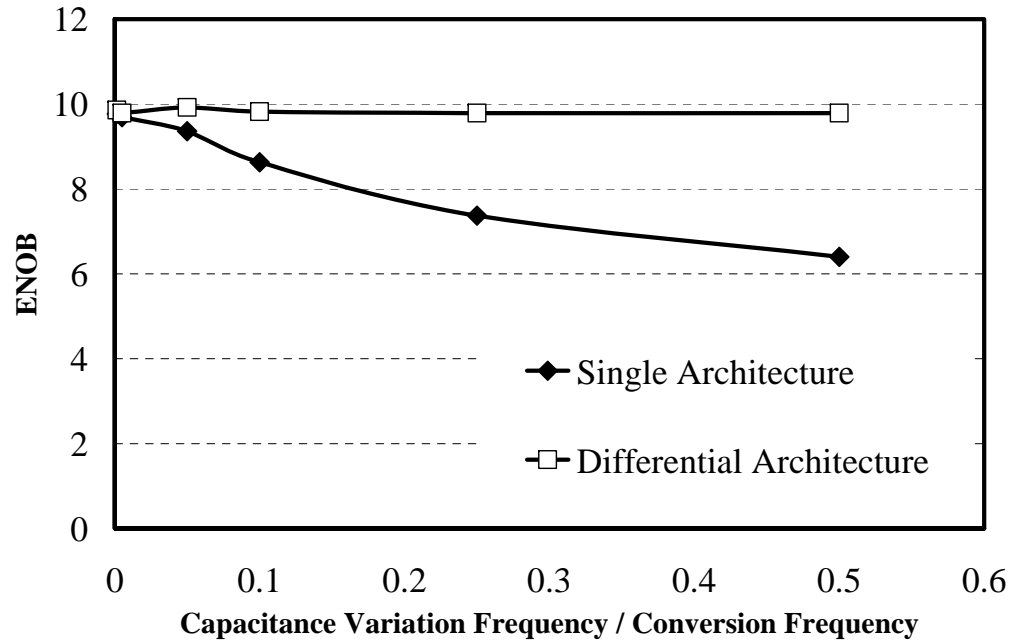
このときはこれでも低電力だったが、まだ不十分

Resolution	8 Bit
Supply Voltage	1.4 V
Sampling Rate	262 kHz
SNR	43.22 dB
ENOB	6.83 Bit
Current	169 μ A
Consumption	360 μ A (when using internal clock)
Minimum DNL	-0.97 LSB
Maximum DNL	0.79 LSB
Minimum INL	-1.27 LSB
Maximum INL	0.99 LSB
Area	0.026 mm ² 0.034 mm ² (v)

Ex) $\Delta\Sigma$ CDC 4.2mW



性能比較



シングル構成においては容量センサの周波数レートが上がると有効ビットが下がっているのに対し、
差動構成は有効ビットが下がらない。
→ **安定動作が可能**

低電力化
高精度化

FoM=250fJ/conv.

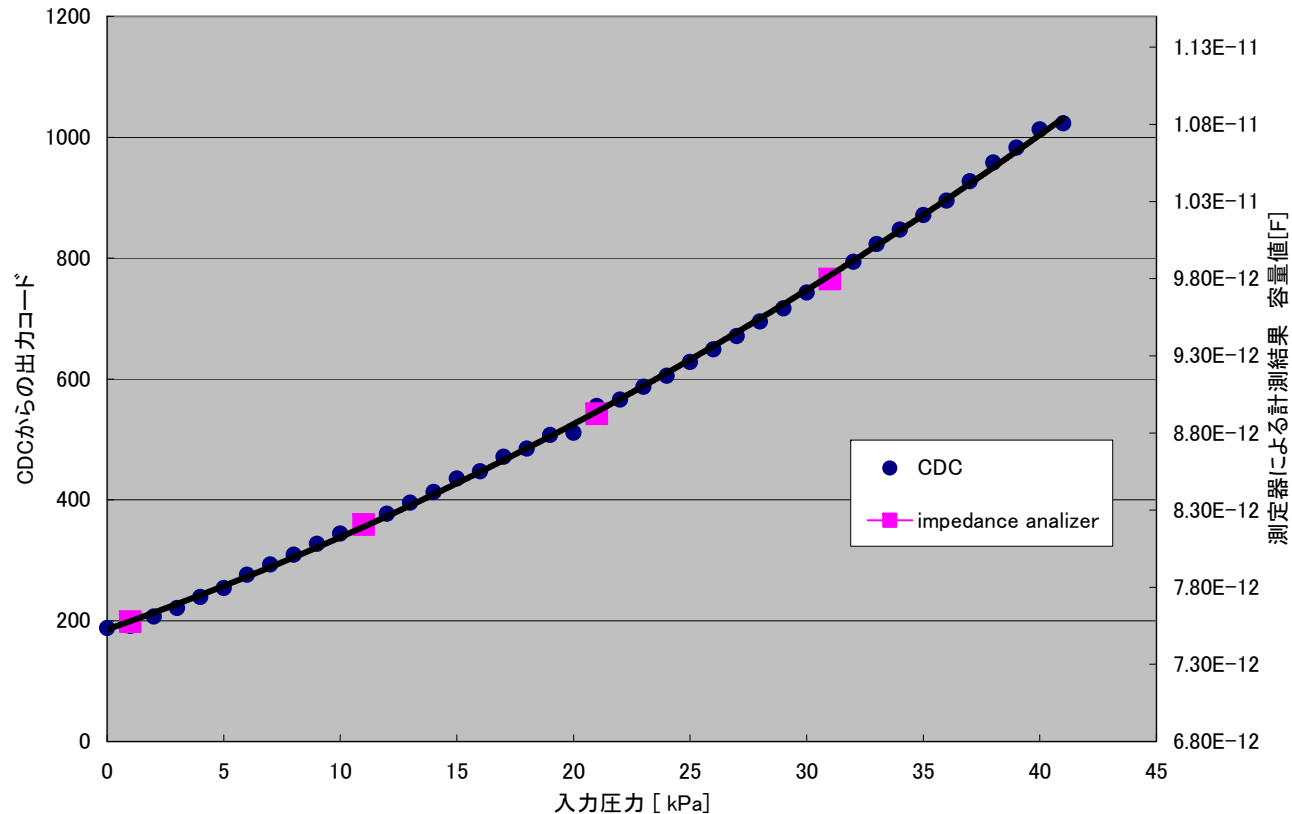
2nW @30Hz

	Reported in [1]	This work
Supply Voltage	1.4 V	1.4 V
Resolution	8 bit	10 bit
Current consumption of CDC	169 μ A	8.45 μ A
Conversion Frequency	262 kSps	262 kSps
Area	0.026 mm ² ($C_m = 3.6$ pF)	0.11 mm ² (estimated) ($C_m = 10$ pF x 2)

容量・デジタル変換精度

30

TOKYO TECH
Pursuing Excellence



- CDCのデジタル出力と測定器(impedance analyzer)による容量値の計測結果を同一グラフに載せ比較している。
- グラフから分かるように実測の容量値とCDCからの出力値はきれいに同一曲線上に乗り、正確にデジタル化できることを示している。

比較

31

これで本当に超低電力の容量デジタル変換器が実現できた

FoM=250J/conv.

	Reported in [2]	Reported in [3]	Reported in [5]	This work
Process Technology	0.35 mm Bipolar	0.35 mm CMOS	0.18 mm CMOS	0.18 mm CMOS
Supply Voltage	3.3 V	1 V	1.4 V	1.4 V
Resolution (ENOB of ADC)	N/A	12 Bit (10.2)	8 Bit (6.83)	10 Bit (8.25)
Total Current Consumption	4.8 mA	895 nA	169 uA	6.3 uA
Conversion Frequency	20 kSps	1 kSps	262 kSps	100 kSps
Size of Core	0.2 mm ²	1 mm ²	0.026 mm ² (C _m = 3.6pF)	0.13 mm ² (C _m = 10pF x 2)

容量を増やしているのはセンサのオフセット容量補償範囲を広げたため

A/D変換機能を有する 新型粒子検出器の開発

粒子検出器の開発は基礎物理学の発展にとって極めて重要。
ヨーロッパ CERNのグループは粒子検出器用LSIを開発しているが、
日本はLSI開発は行っておらず、日本の基礎物理の進展の課題となっている。
しかし、メーカーはこのような市場規模の小さいLSIは開発しない。

そこで、大学でLSIを開発することで基礎物理の発展を支えることにした。

高エネルギー加速器研究機構からの委託

2009.04.16

A. Matsuzawa

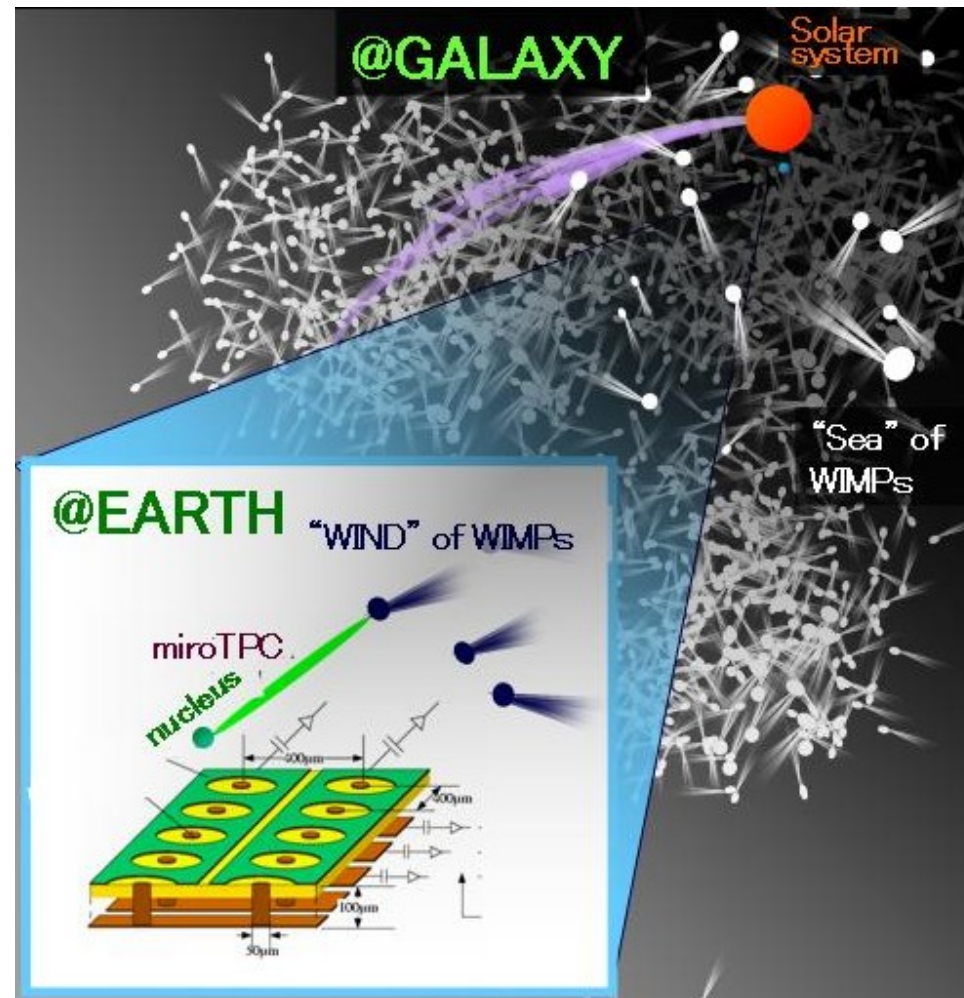


Needs of new particle detector

33

TOKYO TECH
Pursuing Excellence

To detect the WIMP (Weakly Interacting Massive Particles)
is a dream of physics



2009.04.16

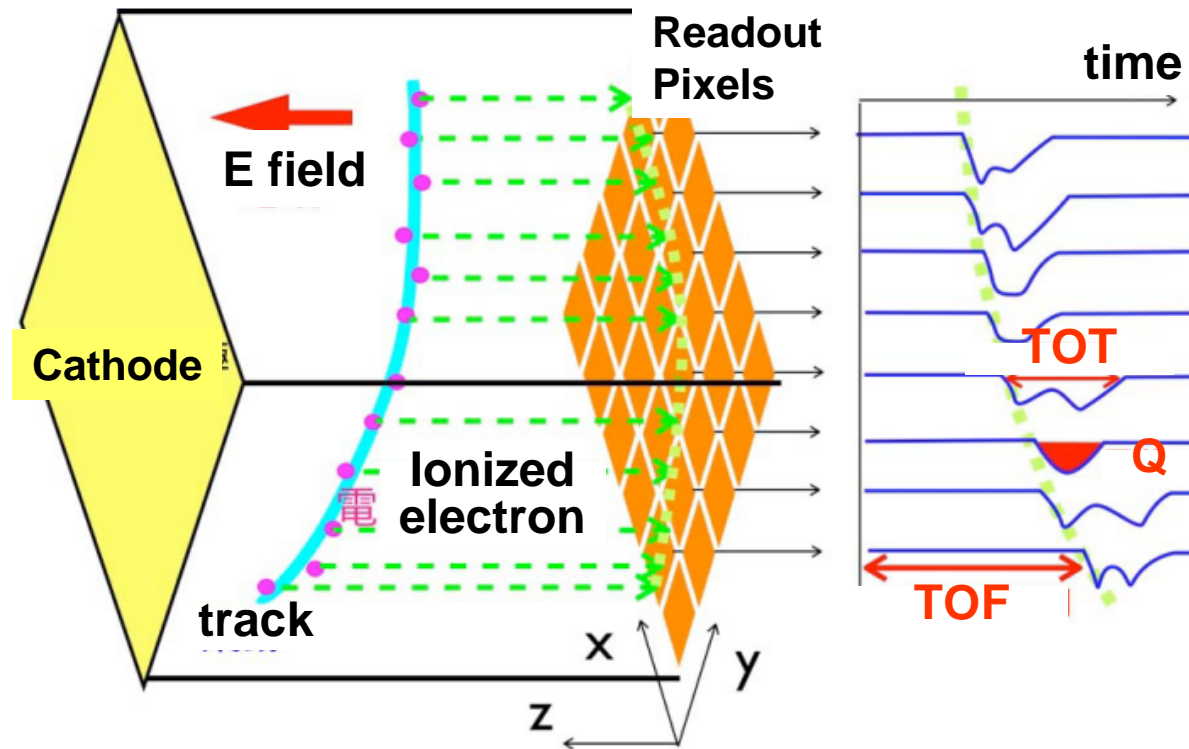
A. Matsuzawa



Basic function of QPIX

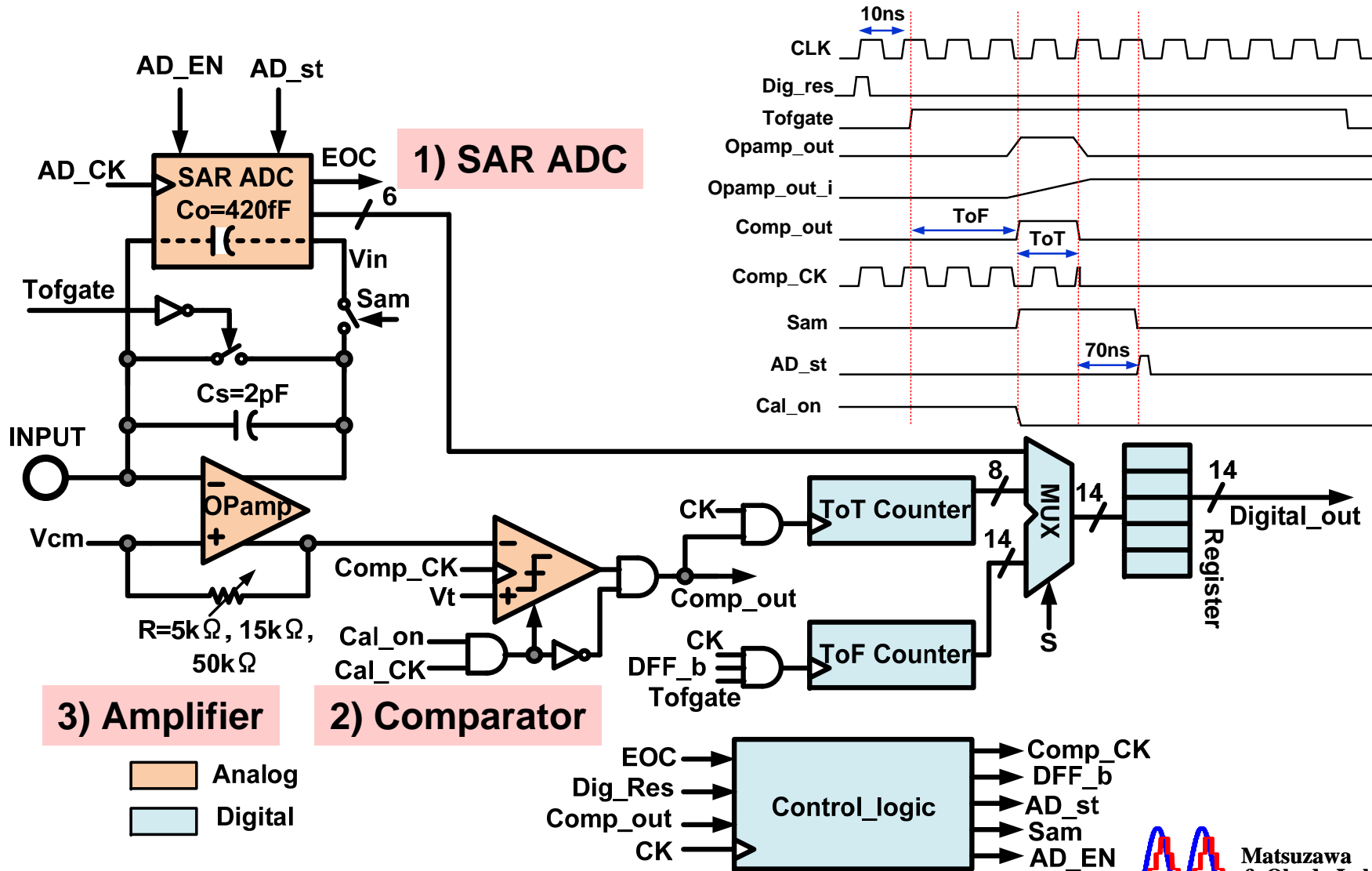
34

QPIX can measure the total charge Q , as well as TOF and TOT.



Building blocks and timing

QPIX contains SAR ADC, comparator, and amplifier.



3) Amplifier

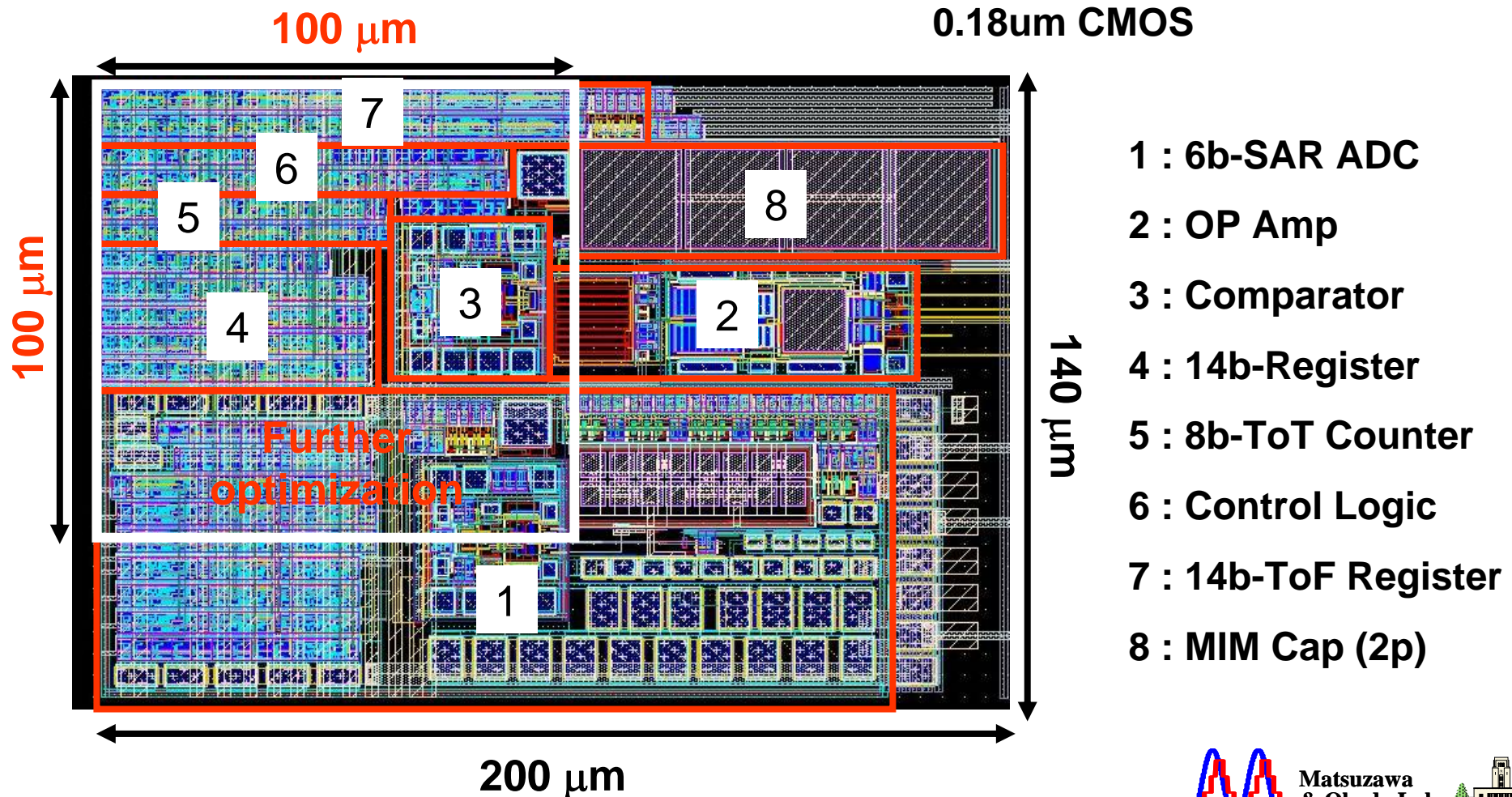
2) Comparator

Legend:
 Analog
 Digital



Layout of QPIX.v0

Chip area can be reduced to 100um x 100um by further circuit optimization.



Performance table

End of '09

Now

	QPIX.v.1	QPIX v.0	Timepix
Dimensions	100x 100 μm^2	140 x 200 μm^2	50 x 50 μm^2
Preamp Gain	0.5-5mV/fC	0.45mV/fC	100mV/fC
Comparator threshold	1-10fC	10 fC	0.1 fC
ADC LSB/MSB	8fC/0.5pC	26fC/1.6pC	-
Readout information	TOF: 14bits	TOF: 14bits	14bits (TOF or TOT or counter)
	TOT: 8bits	TOT: 8bits	
	ADC: 6bit, 10Msps	ADC: 6bit 10Msps	None
Power	30uW	350uW (80uW)	6.5uW
Read out	Parallel	Parallel	Serial/Parallel

- **LSIを開発することで新たな分野の新たなシステムを実現**
 - ミリ波ブロードバンド通信用SoC
 - 医療用超低電力センサーテレメトリカプセル
 - 新型粒子検出器
- **高度回路技術研究の促進**
 - 超高速(超低電力)ADC, DAC
 - 超低電力容量・デジタル変換器
 - デジタル誤差補償技術
 - 超低電力ワイアレスリンク
 - 60GHz用RFCMOS回路

- **環境**

- **設計環境**

- 設計ツールは企業以上の内容
- VDECにより設計ツールは無料

- **試作環境**

- シャトルサービスにより、65nmCMOS程度まで可能
- アカデミックプライスなどにより格安

- **利点**

- LSIを開発することで、実際に動作するシステムが実現できる
- すぐに利益の出ない分野でも取り組める
- 波及効果が1企業の枠を越える

- **課題**

- 学生が2～3年で入れ替わる
- 技術蓄積が困難でレベルが上がらない
- 開発日程や品質管理など、学生の管理が困難